



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

09/127,486

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年11月30日

出願番号
Application Number:

特願2000-365552

出願人
Applicant(s):

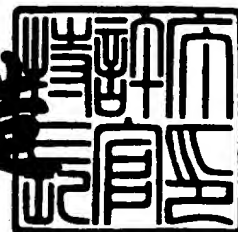
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3109625

【書類名】 特許願

【整理番号】 4343022

【提出日】 平成12年11月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/00

【発明の名称】 固体撮像装置

【請求項の数】 20

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 米田 智也

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 小泉 徹

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 光地 哲伸

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 須川 成利

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第346255号

【出願日】 平成11年12月 6日

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 光電変換素子と増幅用トランジスタとを含む画素が 2 次元状に複数、配列された増幅型の固体撮像装置において、

第一導電型の半導体基板内に形成された第二導電型の半導体からなる共通ウエル内に、各光電変換素子となる第一導電型の半導体受光領域が設けられ、

前記共通ウエル内に、各増幅用トランジスタのソース・ドレインとなる第一導電型の半導体領域が設けられ、

前記共通ウエルに基準電圧を供給するためのコンタクトが、前記共通ウエルの画素配列エリアの内側に複数、設けられていることを特徴とする固体撮像装置。

【請求項 2】 前記コンタクトは、所要の周期で前記画素配列エリアの内側に複数、設けられていることを特徴とする、請求項 1 に記載の固体撮像装置。

【請求項 3】 前記コンタクトが各画素毎に設けられていることを特徴とする、請求項 2 に記載の固体撮像装置。

【請求項 4】 前記コンタクトに接続された配線が、前記画素配列エリアの行方向または列方向に所定の周期で配置されていることを特徴とする、請求項 2 に記載の固体撮像装置。

【請求項 5】 前記コンタクトが前記画素配列エリアの n 行 ($n \geq 1$) ごとに、前記コンタクトに接続された配線が前記画素配列エリアの m 列 ($m \geq 2$) ごとに、それぞれ配置されていることを特徴とする、請求項 2 に記載の固体撮像装置。

【請求項 6】 前記コンタクトに接続された配線が画素配列エリアの m 行 ($m \geq 2$) ごとに、前記コンタクトが前記画素配列エリアの n 列 ($n \geq 1$) ごとに、それぞれ配置されていることを特徴とする、請求項 2 に記載の固体撮像装置。

【請求項 7】 前記画素配列エリアは、画素が所要の周期で配列された画素群を、複数、備えており、前記複数の画素群のうち隣接する画素群の間に、前記コンタクトが設けられていることを特徴とする、請求項 2 に記載の固体撮像装置。

【請求項 8】 前記コンタクトに接続された配線が、画素内の半導体素子を制御する 2 つの制御線間に配置されていることを特徴とする、請求項 1 に記載の固体撮像装置。

【請求項 9】 前記コンタクトに接続された配線が、画素内の半導体素子を制御する制御線と前記半導体受光領域との間に配置されていることを特徴とする、請求項 1 に記載の固体撮像装置。

【請求項 10】 前記コンタクトは、更に、前記共通ウエルの画素配列エリアの周辺にも複数設けられていることを特徴とする、請求項 1 に記載の固体撮像装置。

【請求項 11】 光電変換素子と増幅用トランジスタとを含む画素が 2 次元状に複数、配列された増幅型の固体撮像装置において、

第一導電型の半導体基板内に形成された第二導電型の半導体からなる共通ウエル内に、各光電変換素子となる第一導電型の半導体受光領域が設けられ、

前記共通ウエルに基準電圧を供給するためのコンタクトが、前記共通ウエルの画素配列エリアの周辺および各画素に設けられており、

前記共通ウエル内に、各増幅用トランジスタのソース又はドレインとなる第一導電型の半導体領域が設けられ、

前記半導体領域に、前記増幅用トランジスタを駆動するための電源電圧を供給するための電源用コンタクトが、各画素毎に設けられていることを特徴とする固体撮像装置。

【請求項 12】 前記コンタクトまたは前記電源用コンタクトの一方は、前記画素配列エリアの内側に所要の周期で配列された配線に接続されており、前記コンタクトまたは前記電源用コンタクトの他方は、前記配線より上方に形成された受光窓を有する遮光膜に接続されていることを特徴とする、請求項 11 に記載の固体撮像装置。

【請求項 13】 前記配線が、画素内の半導体素子を制御する 2 つの制御線間に配置されていることを特徴とする、請求項 12 に記載の固体撮像装置。

【請求項 14】 前記コンタクトが前記画素配列エリアの内側に所要の周期で配列された基準電圧用配線に接続されており、また、前記電源用コンタクトが

前記基準電圧用配線より上方に形成された受光窓を有する遮光膜に接続されていることを特徴とする、請求項 1 1 に記載の固体撮像装置。

【請求項 1 5】 前記基準電圧用配線が、画素内の半導体素子を制御する 2 つの制御線間に配置されていることを特徴とする、請求項 1 4 に記載の固体撮像装置。

【請求項 1 6】 前記画素は、転送ゲートと、リセット用トランジスタと、選択用トランジスタとを含み、

前記 2 つの制御線は、前記転送ゲートの制御線、前記リセット用トランジスタの制御線、前記選択用トランジスタの制御線の、いずれか 2 つであることを特徴とする、請求項 1 3 に記載の固体撮像装置。

【請求項 1 7】 前記画素は、リセット用トランジスタを含み、

前記リセット用トランジスタにリセット用基準電圧を供給するリセット用コンタクトが各画素毎に設けられており、

前記コンタクト、前記リセット用コンタクトまたは前記電源用コンタクトの内の 2 つは、前記画素配列エリア内に配列された交差配線に接続されており、

前記コンタクト、前記リセット用コンタクト又は前記電源用コンタクトの内の、残りの一つが前記配線より上方に形成された受光窓を有する遮光膜に接続されていることを特徴とする、請求項 1 1 に記載の固体撮像装置。

【請求項 1 8】 前記電源用コンタクトは、選択用トランジスタのソースまたはドレインに接続されており、該選択用トランジスタを介して、前記半導体領域に前記電源電圧を供給することを特徴とする、請求項 1 1 に記載の固体撮像装置。

【請求項 1 9】 前記複数の画素は、カラーフィルタの着色層が付設された色画素を含んでおり、複数色の色画素の内、同色の色画素についてのみ、前記ウエルコンタクトが設けられていることを特徴とする、請求項 1 あるいは 1 1 に記載の固体撮像装置。

【請求項 2 0】 前記複数の画素は、カラーフィルタの着色層が付設された色画素を含んでおり、複数色の色画素の内、同色の色画素に付いてのみ、前記ウエルコンタクトが設けられており、

前記ウエルコンタクトが設けられた色画素の受光面積よりも、前記ウエルコンタクトが設けられていない色画素の受光面積の方が大きいことを特徴とする、請求項 1 あるいは 1 1 に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、各画素内で光電変換により発生した信号を、各画素内で増幅する増幅型の固体撮像装置に関するものである。

【0002】

【従来の技術】

MOS トランジスタを用いた増幅型の固体撮像装置は、図 2 2 に示すような回路構成になっている。ここでは、一画素 P X L が、フォトダイオード（光電変換素子）1 0 1、転送スイッチ 1 0 2、リセットスイッチ（リセット用トランジスタ）1 0 3、選択スイッチ（選択用トランジスタ）1 0 4、増幅用トランジスタ 1 0 5 を有している。そして、各画素 P X L は垂直出力線 1 0 6 に接続されている。

【0003】

このような画素 P X L が同一平面に 2 次元状に配列されて、画素配列エリア P X A を構成している。MOS トランジスタ 1 0 5 をソースフォロワ動作させるために、定電流源 1 0 7 は、各列の垂直出力線 1 0 6 に接続されている。

【0004】

また、各列の垂直出力線 1 0 6 には読み出し回路が接続されている。読み出し回路は、後述するように、そこで発生するノイズを含むノイズ信号（以後 N 信号）読み出し系と、光信号と N 信号が加算された信号（以後（S + N）信号）の読み出し系との 2 系統に分かれている。それぞれの読み出し系は、N 信号転送スイッチ 1 1 0 と N 信号蓄積容量 1 1 2、あるいは、（S + N）信号転送スイッチ 1 1 1 と（S + N）信号蓄積容量 1 1 3 のいずれかを有している。

【0005】

更に、2 つの読み出し系は、それぞれ、水平走査用のスイッチ 1 1 4 を介して

、差動増幅器 1 1 5 の入力線 1 1 6、1 1 7 へと接続されている。

【0 0 0 6】

次に、図 2 3 に示す駆動タイミングチャートを参照して、この装置の動作の概略について説明する。ある選択された 1 水平ライン上の画素のリセットスイッチ 1 0 3 をオンするハイレベルのリセット制御パルス ϕ_{rst} を与える。次いで、リセットスイッチ 1 0 3 をオフにし、選択スイッチ 1 0 4 をオンするハイレベルの選択制御パルス ϕ_{sel} を与える。こうして、垂直出力線 1 0 6 に出力された N 信号を N 信号蓄積容量 1 1 2 に蓄積するために、N 信号転送スイッチ 1 1 0 をオンするハイレベルの N 信号転送パルス ϕ_{tn} を与える。

【0 0 0 7】

ここでは、選択された行の画素の転送スイッチ 1 0 2 をオンするためのハイレベルの転送制御パルス ϕ_{tx} を与えることで、フォトダイオード 1 0 1 に蓄積された光信号を増幅用トランジスタ 1 0 5 のゲートに入力すると、増幅用トランジスタのソースから、光信号に応じた出力信号が得られるようになる。こうなると、転送制御パルス ϕ_{tx} をローレベルにして転送スイッチ 1 0 2 をオフにしても、増幅用トランジスタのゲート電位は光信号に基づいた値に保持される。

【0 0 0 8】

この状態で、垂直出力線 1 0 6 に出力された (S+N) 信号を (S+N) 信号蓄積容量 1 1 3 に蓄積するために、(S+N) 信号転送スイッチ 1 1 1 をオンするハイレベルの (S+N) 信号転送パルス ϕ_{ts} を与える。そして、選択スイッチ 1 0 4 をオフして、選択された行の各画素からの信号の読み出しが終了する。

【0 0 0 9】

N 信号蓄積容量 1 1 2 に保持される N 信号には、リセット時の k T C ノイズ、M O S トランジスタの閾値バラツキによる固定パターンノイズが含まれている。また、(S+N) 信号蓄積容量に保持される (S+N) 信号には、前述のノイズを含んだリセット信号に光電荷による信号が加算されている。

【0 0 1 0】

このように、図 2 3 のタイミングにより、各スイッチが制御され、1 水平ライン上の画素の信号が、それぞれの列の、前記 2 つの蓄積容量に保持されたのち、

水平走査回路により、スイッチ 1 1 4 をオンすることで、N 信号および (S + N) 信号を差動増幅器 1 1 5 のそれぞれの入力線に読み出す。この時、差動増幅器 1 1 5 からは、それぞれの信号に含まれる前記ノイズが除去され、光電荷による信号のみに応じた信号が、センサ出力として出力される。

【0 0 1 1】

要するに、水平走査回路により、それぞれの列のスイッチ 1 1 4 を順次オン、オフすることにより、1 水平ライン上の画素の信号を差動増幅器より出力して行くのである。これを各水平ライン毎に行うために、垂直走査回路により画素行が選択される都度、図 2 3 のタイミングにより、各スイッチを制御し、水平走査回路をにより順次走査する、という手続きを繰り返す。こうして、全画素からの信号を差動増幅器 1 1 5 より出力することができる。

【0 0 1 2】

【発明が解決しようとする課題】

従来の固体撮像装置では、画素数が多くなるに従い、出力信号に大きなシェーディングが現われるようになる。

【0 0 1 3】

【課題を解決するための手段】

本発明の目的は、シェーディングを抑制できる固体撮像装置を提供することにある。この目的を達成するための本発明の骨子は、光電変換素子と増幅用トランジスタとを含む画素が 2 次元状に複数、配列された増幅型の固体撮像装置において、第一導電型の半導体基板内に形成された第二導電型の半導体からなる共通ウエル内に、各光電変換素子となる第一導電型の半導体受光領域が設けられ、前記共通ウエル内に、各増幅用トランジスタのソース・ドレインとなる第一導電型の半導体領域が設けられ、前記共通ウエルに基準電圧を供給するためのコンタクトが、前記共通ウエルの画素配列エリアの内側に複数、設けられていることを特徴とする。

【0 0 1 4】

本発明の別の目的は、シェーディングが抑制できるとともに、洗練されたレイアウトの固体撮像装置を提供することにある。このための本発明の骨子は、光電

変換素子と増幅用トランジスタとを含む画素が2次元状に複数、配列された増幅型の固体撮像装置において、第一導電型の半導体基板内の第二導電型の共通ウェル内に、各光電変換素子となる第一導電型の半導体受光領域が設けられ、前記共通ウェルに基準電圧を供給するためのコンタクトが、前記共通ウェルの画素配列エリアの周辺および各画素に設けられており、前記共通ウェル内に、各増幅用トランジスタのソース又はドレインとなる第一導電型の半導体領域が設けられ、前記半導体領域に、前記増幅用トランジスタを駆動するための電源電圧を供給するための電源用コンタクトが、各画素毎に設けられていることを特徴とする。

【0015】

本発明者は、画素数が増加した場合に、シェーディングが増大する原因について、誠意検討した。例えば、図22におけるMOSトランジスタ105がn型基板内のpウェル内に形成されたNMOSである場合、その断面構造を、図24に示す構成にすることができる。この場合、ソースとドレインはn+領域で形成され、ドレインは選択スイッチ側へ、ソースは垂直出力線に接続され、p型ウェルの電位は画素配列エリア外で与えられている。

【0016】

図23のタイミングにおいて、選択スイッチ104をオンし、N信号を垂直出力線に出力する際には、図24におけるMOSトランジスタ105の、ソースのn+領域の電位が変動する。すると、それに伴い、ソースのn+領域とpウェルとの接合容量によって、ソースのn+拡散領域近傍でのpウェルの電位も変動してしまう。また、各画素のpウェル電位は、各画素のMOSトランジスタのバックゲート電位になっているので、ウェル電位の変動は、MOSトランジスタの出力に影響を及ぼしてしまう。

【0017】

図25の(a)は画素数200万個の画素領域内の3点、A、B、Cの位置(図25の(b)を参照)での、上記変動を受ける前後のウェル電位を求めたものである。ここで、縦軸はウェル電位、横軸は時間であり、選択スイッチ104をオンした時に、ウェル電位が立ち上がり、ピークを持ったのち、収束して行く様子を示している。

【 0 0 1 8 】

ウエル電位の変動量は、画素領域内の中心に向かうほど（C→A）大きくなる。ウエル電位の過渡特性に関しても、画素領域内の中心に向かうほど（C→A）、時定数が大きくなり、Aで $15\mu\text{s}$ 程である。つまり、選択スイッチ104をオンしたのち、ウエルの電位が戻らないうちに、N信号転送スイッチ110をオンしてしまうと、どの画素もMOSトランジスタのゲート電圧は、同じリセット電圧であるにも関わらず、画素の位置によって、それぞれのN信号蓄積容量112には、異なるレベルの信号が保持されてしまう。

【 0 0 1 9 】

また、その後のタイミングで、（S+N）信号転送スイッチ111をオンした際にも、画素によって、その位置のウエル電位に応じた信号が（S+N）信号蓄積容量113に保持されてしまう。さらに、N信号転送スイッチをオンしてから（S+N）信号転送スイッチ111をオンするまでの時間に依存して、同じ画素でも、ウエル電位が変わってくるため、撮像動作において、シェーディングの原因になっている。

【 0 0 2 0 】

図26には、画素配列エリア内の中心を通る1水平ライン上の画素からのダーク時のセンサ出力が示されている。横軸は画素の水平方向の位置に、縦軸は出力レベルに対応している。これは、選択スイッチをオンした後、（S+N）信号転送スイッチをオフするまでに、 $10\mu\text{s}$ の時間をとった場合であるが、 76mV もの、シェーディングが発生している。

【 0 0 2 1 】

図27は、時定数の画素配列エリア面積依存性を示している。1画素の面積を一定とし、画素配列エリアのサイズに対応する水平方向の画素数を横軸に、画素配列エリアの中心位置でのウエル電位の時定数を縦軸に示してある。1水平ラインの画素から信号を読み出す際、選択スイッチをオンした後、（S+N）信号転送スイッチをオフするまでの時間は、固体撮像装置の画像の撮像時間の関係上、無制限に長くすることはできない。

【 0 0 2 2 】

そこで、この時間を $10\ \mu\text{s}$ 以下とした場合、水平方向の画素数なら 800 程度まで、時定数なら $2\ \mu\text{s}$ までの範囲ならば、シェーディングは問題とならない。しかし、画素数が、例えば、2000 にもなる大面積の固体撮像装置では、前述のように、78 mV のシェーディングを引き起こしてしまうのである。

【0023】

本発明者は、ウエルの電位を強化するために、単純にウエル濃度を濃くしただけでは、たとえ、ウエルのシート抵抗を 5 分の 1 にしたとしても、シェーディングが起こらないのは、水平方向の画素数が 2000 程度までであり、本質的な課題解決にはならないばかりか、MOS トランジスタなど各素子の正常動作を行えないことを既に見出している。

【0024】

そこで、本発明では、ウエルの電位の変動や、ウエル電位の画素毎の不均一性を抑制するために、新たに、ウエルの電位を与えるためのウエルコンタクトを、共通ウエルの外縁より内側であって、且つ画素配列エリアの内側に、複数備えることにより、各画素内での MOS トランジスタのソース電位の変動に伴うウエル電位の変動量を抑制する。そして、変動後もウエル電位は短い時間で収束し、過渡特性が向上するので、画素領域内のウエル電位の分布を抑制することが可能となり、ひいては、シェーディングを低減できる。

【0025】

【発明の実施の形態】

（第 1 の実施の形態）

図 1 は、本発明に係わる第 1 の実施の形態による固体撮像装置を模式的に示す平面図である。ここでは、画素配列エリア P X A 内では、その中に配列された 3 つの画素 P X L のみ図示しているが、実際には、これらの画素 P X L が 100 万～1000 万程行列状に配される。また、図 2 は、図 1 の A A' による断面を示している。図 2 では、ウエル配線の下方面にある各種配線層や各トランジスタ等は省略されている。

【0026】

ここで、1 は光電変換素子としてのフォトダイオードであり、詳しくはフォト

ダイオードを構成するN型の半導体受光領域である。2はP型のウエルと同導電型でウエルよりも高不純物濃度のドーピング領域（P+領域）である。3はウエルコンタクトであり、ドーピング領域2に直接或いは間接的に接触する導電体からなる。

【0027】

全ての画素PXLは単一の共通ウエル4の外縁より内側の区画、即ち画素配列エリアPXAの内側に2次元的に配列されている。また、5は遮光膜を兼ねたウエル配線であり、フォトダイオード1に光を照射するための受光窓OPが形成された導電体からなる。このウエル配線5は、ウエルコンタクト3に接続されており、基準電圧源Vwから所定の基準電圧（例えば0V）が与えられる。

【0028】

図2では、絶縁層10と絶縁層11との間に配された配線層と、配線層の上部にあるスルーホール内の導電性プラグと、配線層の下にあるコンタクトホール内の導電性プラグとによりコンタクトが構成されているが、本発明は、この構造に限定されるわけではない。

【0029】

ここでは、全ての画素について、各画素に対して1対1で、ウエルコンタクト3を設け、遮光膜を兼ねた、最も上の導電層をウエル配線5とした構成を特徴としている。そして、画素配列エリアPXAの周辺PPにもドーピング領域2'と、コンタクト3'が設けられている。即ち、画素配列エリアPXAの外縁の外側にある共通ウエル4内にドーピング領域2'を設け、その上にコンタクト3'を設けて、ウエル配線5に接続して、所定の基準電圧が与えられるようになっている。図1、2では、ウエル配線5の下方にある各種配線層や各トランジスタなどは省略してある。

【0030】

図3、図4に、本発明に用いられる1画素の回路図と、その断面構造を示す。ここで、1画素PXLは、フォトダイオード101と、転送スイッチ102と、増幅用トランジスタ105と、選択用トランジスタ104と、リセット用トランジスタ103とを有している。また、12は絶縁体（誘電体）からなる素子分離領域であり、1画素の周辺を囲むとともに、素子分離領域は、フォトダイオード

1 0 1 と転送スイッチ 1 0 2 とリセット用トランジスタ 1 0 3 とを含む区域と、選択用トランジスタ 1 0 4 と増幅用トランジスタ 1 0 5 を含む区域の間や、ドープ領域 2 の周辺にも、形成されている。

【 0 0 3 1 】

フォトダイオード 1 0 1 のカソード、および、各トランジスタ（半導体素子）のソース・ドレインとなる N 型の半導体領域 1、1 3 ~ 1 7 は、N 型基板の表面に形成された P 型の共通ウエル 4 内に形成されている。P 型の共通ウエル 4 には、P+ のドープ層 2 とコンタクト 3 が設けられており、基準電圧源 V_w からフォトダイオードのアノード電圧と各トランジスタのバックゲート電圧（チャネル電圧）が与えられる。

【 0 0 3 2 】

そして、転送ゲートを制御する転送ゲート制御線に転送制御信号 ϕ_{tx} を印加して、ゲートを開くと、フォトダイオード 1 0 1 の半導体受光領域 1 に蓄積されたキャリア（電子）は、浮遊状態にある半導体領域 1 3 に転送され、増幅用トランジスタ 1 0 5 のゲートの電位を変える。また、選択スイッチ線に選択制御信号 ϕ_{sel} を印加して、選択用トランジスタ 1 0 4 をオンする。そうすると、増幅用トランジスタ 1 0 5 のゲート電圧に応じた、電流が、増幅用トランジスタ 1 0 5 と選択用トランジスタ 1 0 4 に流れて、出力信号が出力線 V_{out} から取り出せる。

【 0 0 3 3 】

更に、リセット制御線にリセット制御信号 ϕ_{rst} を印加して、リセット用トランジスタ 1 0 3 をオンして、半導体領域 1 3 の電位をリセット電圧 V_{rst} を用いて、所定の値にリセットする。このような一連の動作期間中、共通ウエル 4 には、コンタクト 3、ドープ領域 2 を通して、基準電圧が与えられる。この構成により、ウエル電位（各トランジスタのバックゲート電位）の画素毎のバラツキが低減され、シェーディングを 0. 5 mV 以下にすることができる。

【 0 0 3 4 】

以上説明した本実施の形態では、共通ウエルの導電型が P 型であったが、各半導体領域の導電型を、図示したものとは逆に（P を N に、N を P に）することも

できる。その場合には、電位の高低関係も逆になる。例えば、N型ウエルを用いる場合には、ウエルに与える基準電圧は+5.0Vや+3.3Vとなる。

【0035】

また、画素の回路構造は、図3に示したものである必要はなく、転送スイッチ102などは、省くことも可能である。更に、リセット電圧 V_{rst} と電源電圧 V_{DD} とを同じ電圧にしてもよい。

【0036】

(第2の実施の形態)

図5は本発明における第2の実施の形態を模式的に示す平面図である。ここで、図6はそのBB'線による断面を示している。本実施形態が図1、2の実施形態と異なる点は、ウエル配線6の形状である。

【0037】

ここでは、遮光膜の下方の導電層を用いてウエル配線6を構成している。同じレベルの導電層を用いて増幅用トランジスタ105から信号を出力するための垂直出力線7が、ウエル配線6と平行に、それぞれが交互に配列されている。

【0038】

そして、画素配列エリアPXAの周辺PPにもウエル配線6とウエルコンタクト3'とドープ領域2'が形成されており、ウエル配線6を通して基準電圧源 V_w から所定の基準電圧が与えられるように構成されている。

【0039】

この実施の形態においても、シェーディングを0.5mV以下にすることができ。また、隣接列の垂直出力線7の間には、電位が固定されたウエル配線6が配置されているので、隣接垂直線間の容量結合による干渉が抑制される。

【0040】

(第3の実施の形態)

図7は本発明における第3の実施の形態を模式的に示す平面図である。本実施形態が図5、6の実施形態と異なる点は、ウエル配線6のレイアウトである。

【0041】

ここでは、遮光膜の下方の導電層を用いて行方向(図中、横方向)にウエル配

線 6 が延びるように構成されている。同じレベルの導電層を用いて、画素の半導体素子を制御するための制御線 8 が、ウエル配線 6 と平行に、しかも、それぞれが交互に配列されている。制御線 8 としては、転送スイッチ用の転送制御線、リセットトランジスタ用のリセット制御線、選択用トランジスタの選択制御線などが挙げられる。

【 0 0 4 2 】

そして、画素配列エリア P X A の周辺 P P にもドープ領域 2' ウエルコンタクト 3' が形成されており、ウエル配線 6 を通して基準電圧源から所定の基準電圧が与えられるように構成されている。

【 0 0 4 3 】

この実施の形態では、画素配列エリアの周辺および全画素について、それぞれ、ウエルコンタクトを設け、画素配列の全行に、ウエル配線を設けている。これにより、ウエル電位の分布のバラツキを低減し、シェーディングを 0. 5 m V 以下にできる。

【 0 0 4 4 】

(第 4 の実施の形態)

図 8 は本発明における第 4 の実施の形態を模式的に示す平面図である。図 9 は、図 8 の C C' 線による断面を示している。ここで、符号 1 はフォトダイオード、2 はドープ領域、3 はウエルコンタクト、4 は画素が 2 次元的に配列された単一の共通ウエル、6 はウエル配線である。

【 0 0 4 5 】

この実施の形態では、画素 P X L を周期的パターンで、例えば、2 0 0 列ごとのブロック B K に分割し、ブロック間にウエルコンタクトのためのスペースを空け、各スペースに、複数のウエルコンタクトおよびウエル配線を設けたことを特徴としている。これにより、画素サイズの縮小に伴って各画素内にウエルコンタクトを設けるスペースが無い場合でも、ウエル電位の分布を低減することができる。また、画素配列エリア P X A の周辺のウエルコンタクト 2' は、ウエル配線 6 の上下延長線上に設けたり、左右の画素配列エリアの周辺にウエル配線 6 と同様に設けることができる。

【 0 0 4 6 】

本実施形態によれば、シェーディングを0.5 mV以下にできる。また、200列毎のスペースの幅は、画素サイズの4分の1以下であったので、画像への影響は、目視する限り、確認できない程度であり、全体としても、良好な画像が保持できる。

【 0 0 4 7 】

(第5の実施の形態)

図10は本発明における第5の実施の形態を模式的に示す平面図である。ここで、符号1はフォトダイオード、2はドープ領域、3はウエルコンタクト、4は画素が2次元的に配列された単一の共通ウエル、6はウエル配線である。

【 0 0 4 8 】

この実施の形態では、周期的パターンで、配列される画素のうち、例えば、その201列目、402列目…に配置されるべき画素列にウエルコンタクトおよびウエル配線を設けたことを特徴としている。つまり、これらの画素列の画素には、フォトダイオードや半導体素子などを形成せずに、ドープ領域とウエルコンタクトのみ形成する。あるいは、フォトダイオードや半導体素子の大きさを、他の画素のそれより小さくして、空いたスペースにドープ領域を設けてもよい。

【 0 0 4 9 】

これにより、画素サイズの縮小に伴って各画素内にウエルコンタクトを設けるスペースが無い場合でも、画素のピッチを画素領域内で乱すことなく、ウエル電位の分布のバラツキを低減することができる。こうして、シェーディングを0.5 mV以下にできる。

【 0 0 5 0 】

また、ウエルコンタクトが設けられたところでは、1列全行の画素信号が得られないので、200列毎に1本の線状キズができるが、これは、設計時に予め位置が解っているので、センサ信号を取り込み後、コンピューターで、ソフト的に処理し、両脇の画素の、平均の出力で補間するといった処置で、良好な画像が得られる。なお、この補間方法は、上記に限られるものではなく、回路的に平均化しても良いし、平均化以外の処理を行って、解決しても良い。

【 0 0 5 1 】

(第 6 の実施の形態)

図 1 1 は本発明における第 6 の実施の形態を模式的に示す平面図である。ここで、符号 1 はフォトダイオード、2 はドープ領域、3 はウエルコンタクト、4 は画素が 2 次元的に配列された単一ウエル内の画素配列エリア、6 はウエル配線である。

【 0 0 5 2 】

この実施の形態では、画素配列を周期的パターンで、例えば、その 2 0 0 行毎にウエル配線 6 を設け、その行の 2 0 0 列ごとにウエルコンタクト 3 を設けている。ウエルコンタクト 3 を設けた画素は、ウエルコンタクトのためのスペースを必要とするので、当該画素内のフォトダイオード 1 の面積をウエルコンタクトの無い画素のフォトダイオードの面積より小さくしている。

【 0 0 5 3 】

これにより、画素サイズの縮小に伴って各画素内にウエルコンタクトを設けるスペースを空け難い場合でも、画素のピッチを画素領域内で乱すこと無く、ウエル電位の分布を抑制できる。こうして、シェーディングを 0. 5 m V 以下にできる。

【 0 0 5 4 】

また、フォトダイオードの面積を縮小した画素については、感度が若干低下したが、設計時に予めその画素の位置が解っているので、センサ信号の取り込み後、コンピューターでソフト的に処理し、その画素についてはゲインをかけて補正する処置により、良好な画像が得られる。

【 0 0 5 5 】

(第 7 の実施の形態)

図 1 2 は本発明における第 7 の実施の形態を模式的に示す平面図である。ここで、符号 1 はフォトダイオード、2 はドープ領域、3 はウエルコンタクト、4 は画素が 2 次元的に配列された単一の共通ウエル、6 はウエル配線である。

【 0 0 5 6 】

この実施の形態では、画素配列を周期的パターンで、例えば、その 2 0 0 列毎

にウエル配線 6 を設け、その列の 2 0 0 行ごとにウエルコンタクト 3 を設け、ウエルコンタクトを設けた画素およびその近傍の、9 画素の画素内の素子を、ウエルコンタクトから離れる方向に放射状にずらして配置することにより、ウエルコンタクトのためのスペースを空けている。これにより、ウエルコンタクトを設けた画素のフォトダイオードの面積を縮小せずにすむので、当該画素の感度の低下などを引き起こすことも無く、ウエル電位の分布のバラツキを抑制できる。こうして、シェーディングを 0.5 mV 以下にできる。

【 0 0 5 7 】

(第 8 の実施の形態)

図 1 3 は本発明における第 8 の実施の形態を模式的に示す平面図である。ここで、符号 1 はフォトダイオード、2 はドープ領域、3 はウエルコンタクト、4 は画素が 2 次元的に配列された単一の共通ウエル、6 はウエル配線、8, 9 は画素内の半導体素子を制御するための制御線である。

【 0 0 5 8 】

この実施の形態では、全画素にウエルコンタクト、全行にウエル配線 6 を設け、ウエル配線 6 は制御線 8 と 9 との間に配置している。これにより、ウエル電位の分布のバラツキを抑制し、シェーディングを 0.5 mV 以下にできる。また、近接する 2 つの制御線 8、9 間にウエル配線 6 を配置した効果として、例えば、転送スイッチの制御線にクロックノイズが乗ることで、転送スイッチが開いてしまうなどの制御線同士のクロックノイズによる影響がなくなる。

【 0 0 5 9 】

なお、制御線 8、9 としては、転送スイッチ用の転送制御線、リセットトランジスタ用のリセット制御線、選択用トランジスタの選択制御線から選択された 2 種を用いることができる。また、この実施の形態を変更して、全画素ではなく、あいだに複数の画素をおいた所定の周期で 2 次元に配されている特定画素にのみ、ウエルコンタクトを設け、ウエル配線 6 に接続してもよい。

【 0 0 6 0 】

(第 9 の実施の形態)

図 1 4 は本発明における第 9 の実施の形態を模式的に示す平面図である。ここ

で、符号 1 はフォトダイオード、2 はドープ領域、3 はウエルコンタクト、4 は画素が 2 次元的に配列された単一の共通ウエル、6 はウエル配線、8、9 は画素内の素子を制御するための制御線である。

【0061】

この実施の形態では、全面素子にウエルコンタクト、全行にウエル配線を設け、ウエル配線 6 はフォトダイオード 1 と制御線 8 間に配置されている。これにより、ウエル電位の分布のバラツキを抑制でき、シェーディングを 0.5 mV 以下にできる。

【0062】

また、この実施の形態での更なる効果を 2 つ示す。図 15 の (a) および (b) は、それぞれ本実施形態の固体撮像装置の部分的な断面を示している。ここでは、基板が p 型、ウエルが n 型、フォトダイオードがホール蓄積型の固体撮像装置の場合において、制御線がフォトダイオードに隣接した構造を例示している。制御線 8、9 としては、転送スイッチ用の転送制御線、リセットトランジスタ用のリセット制御線、選択用トランジスタの選択制御線から選択された 2 種を用いることができる。

【0063】

この図 15 の (a) は、制御線が 5 V のときの図であり、フォトダイオード内の制御線近傍のポテンシャルが低くなることにより、ホールが集まってくる様子を示している。逆に、図 15 の (b) は、制御線が 0 V のときの図であり、フォトダイオード内の制御線近傍のポテンシャルが高くなることによって、ホールが逃げて行く様子を示している。つまり、制御線にクロックが入るたびに、フォトダイオード内のホールが振られてしまうため、転送スイッチによる転送のタイミングと制御線のクロックのタイミングによっては、転送残りなどが起きて、ノイズを発生してしまう。

【0064】

しかし、この実施の形態では、フォトダイオードに隣接する配線をウエル配線にし、ウエル電位に固定したことにより、フォトダイオード内の蓄積電荷の振られによって生じる上記ノイズを抑制できる。また、フォトダイオードに隣接する

配線が 0 V のときは、フォトダイオードと LOCOS の側壁に沿って空乏層が広がり、LOCOS と空乏層の接触面積が大きくなる。このため、LOCOS 側壁の欠陥により、暗電流が増大していたが、フォトダイオードに隣接する配線をウエル配線にし、ウエル電位にしたことで、前記空乏層の広がりを抑えることで、暗電流を減少させられる。なお、この実施の形態では、全画素、或いは、あいだに複数の画素をおいた所定の周期で 2 次元に配されている特定画素にのみ、ウエルコンタクトを設け、ウエル配線 6 に接続する。

【 0 0 6 5 】

(第 1 0 の実施の形態)

図 1 6 は本発明における第 1 0 の実施の形態を模式的に示す平面図である。ここで、符号 1 はフォトダイオード、2 はドープ領域、3 はウエルコンタクトであり、4 × 4 画素分を図示している。ドープ領域 2 は、共通ウエル内に形成されている。ウエル配線や素子を制御するための制御線は省略されている。AMP は増幅用トランジスタを含む半導体素子を示している。ここでは、ドープ領域 2 とウエルコンタクト 3 が設けられた第 1 型の画素 P X L 1 からなる列と、ドープ領域 2 とウエルコンタクト 3 が設けられていない第 2 型の画素 P X L 2 からなる列と、が交互に配列されており、それぞれの出力線 7 が、図中、上方の信号読み出し回路または下方の信号読み出し回路に接続されている。

【 0 0 6 6 】

第 2 型の画素 P X L 2 は、ドープ領域 2 とウエルコンタクト 3 が存在しない分、共通ウエルと協働してフォトダイオードとなる半導体受光領域 1 の面積（受光面積）が、第 1 型の画素 P X L 1 のそれより、大面積になっている。フォトダイオードの大きさが異なるために、入射光に対する感度が異なる。そこで、各読み出し回路におけるゲインを調整して、同じ光量の光が入射したときの 2 つの出力端子における出力レベルを一致させるとよい。この実施例では、一列間隔でウエルコンタクトを設けたが、3 列或いは 4 列以上の間隔でウエルコンタクトを設けても良い。また、信号読み出し回路も 3 つ或いは 4 つ以上設けても良い。更に、画素配列エリアの周辺にもウエルコンタクトを設けるとよい。

【 0 0 6 7 】

(第 1 1 の実施の形態)

図 1 7 は本発明における第 1 1 の実施の形態による固体撮像装置の回路構成図である。一画素 P X L は、フォトダイオード 1 0 1、転送スイッチ 1 0 2、リセット用トランジスタ 1 0 3、選択用トランジスタ 1 0 4、増幅用トランジスタ 1 0 5 とを含む。

【 0 0 6 8 】

各画素 P X L には、横方向のウエル配線 6 に接続されたウエルコンタクト 3 が設けられている。又、増幅用トランジスタ 1 0 5 に電源電圧を供給する電源コンタクト 2 8 も各画素 P X L に設けられている。画素配列エリア P X A の内側に上記画素 P X L が多数 2 次元行列状に配されている。画素配列エリア P X A の周辺 P P にはドープ領域 2' が、画素配列エリアを囲むように設けられており、その上にはウエルコンタクトを介して形成されたウエル配線 6 が配置されている。

【 0 0 6 9 】

この固体撮像装置の駆動方法は、図 2 2、2 3 に示した装置の駆動方法と同じである。そして、この固体撮像装置の回路配置（レイアウト）の概要を図 1 8 に示す。また、図 1 8 の D D' 線における断面に対応する構成を図 1 9 に、図 1 8 の E E' 線における断面に対応する構成を図 2 0 に示す。

【 0 0 7 0 】

図 1 8 を参照するに、一画素 P X L は、平面的にみると、主として、フォトダイオード 1 と転送スイッチ 1 0 2、リセット用トランジスタ 1 0 3 が配置された部分（1, 1 3, 1 4, 2 6, 2 7）と、選択用トランジスタ 1 0 4 と増幅用トランジスタ 1 0 5 とが配置された部分（1 5, 1 7, 1 8, 1 9）とからなり、それらの部分の間にドープ領域 2 が配置されている。そして、選択用トランジスタ 1 0 4 と増幅用トランジスタ 1 0 5 とが配置された部分は、隣接下行の、2 画素のフォトダイオードの間に配置されている。出力信号線 7 とリセット電圧 V_{rst} を与えるリセット電圧線 2 3 が列方向に延びる配線として形成されており、転送制御線 8、ウエル配線 6、リセット制御線 9、選択制御線 2 0 が行方向に延びる配線として形成されている。

【 0 0 7 1 】

図 1 9、2 0 を参照して、画素の構造についてより詳しく説明する。図 2 0 に示すように、素子分離領域 1 2 で囲まれた領域内には、共通ウエル 4 と協働してフォトダイオードとなる半導体受光領域 1 と浮遊状態にある半導体領域 1 3 とリセット電圧が与えられる半導体領域 1 4 とが、所定の間隔をおいて形成されている。転送ゲート 2 6 は、第 1 の絶縁層 1 0 に形成されたホール内プラグを介して、また、第 1 の絶縁層 1 0 と第 2 の絶縁層 1 1 間の第 1 金属層、および、第 2 の絶縁層 1 1 に各々、形成されたホール内のプラグを介して、第 2 の絶縁層 1 1 上にある、第 2 金属層からなる転送制御線 8 に接続されている。

【 0 0 7 2 】

リセットゲート 2 7 も同様に、第 1 の絶縁層 1 0 に形成されたホール内プラグ、第 1 の絶縁層 1 0 と第 2 の絶縁層 1 1 間の第 1 金属層、第 2 の絶縁層 1 1 に形成されたホール内のプラグを介して、第 2 の絶縁層 1 1 上にある第 2 金属層からなるリセット制御線 9 に接続されている。半導体領域 1 4 は、第 1 の絶縁層 1 0 に形成されたコンタクトホール内プラグを介して、第 1 の絶縁層 1 1 上にある第 1 金属層からなるリセット電圧線 2 3 に接続されている。第 2 金属層の上には第 3 の絶縁層 2 2 が形成されており、その上には受光窓 O P を有する第 3 金属層からなる遮光膜 5 が形成されている。

【 0 0 7 3 】

図 1 9 に示すように、素子分離領域 1 2 で囲まれた領域内にはドープ領域 2、増幅用トランジスタ及び選択用トランジスタのソース・ドレインとなる半導体領域 1 5、1 6、1 7 が形成されている。この形態では、ドープ領域 2 と半導体領域 1 5 との間にも素子分離領域 1 2 が形成されている。ドープ領域 2 は、第 1 の絶縁層 1 0 に形成されたホール内プラグ、第 1 の絶縁層 1 0 と第 2 の絶縁層 1 1 間の第 1 金属層、第 2 の絶縁層 1 1 に形成されたホール内のプラグからなるウエルコンタクト 3 に接続されており、このウエルコンタクトが、第 2 の絶縁層 1 1 上にある第 2 金属層からなるウエル配線 6 に接続されている。半導体領域 1 5 は、第 1 の絶縁層 1 0 に形成されたホール内プラグを介して、第 1 の金属層からなる出力線 7 に接続されている。

【 0 0 7 4 】

増幅用トランジスタのゲート電極 1 8 は、第 1 の絶縁層 1 0 に形成されたホール内プラグ、第 1 金属層からなる配線 2 1 を介して、浮遊状態の半導体領域 1 3 に接続されている。選択用トランジスタのゲート電極 1 9 は、第 1 の絶縁層 1 0 に形成されたホール内プラグ、第 1 の絶縁層 1 0 と第 2 の絶縁層 1 1 間の第 1 金属層、第 2 の絶縁層 1 1 に形成されたホール内のプラグを介して、選択制御線 2 0 に接続されている。

【 0 0 7 5 】

選択用トランジスタの半導体領域 1 7 は、第 1 の絶縁層 1 0 に形成されたホール内プラグ、絶縁層 1 0、1 1 間の第 1 金属層、第 2 の絶縁層 1 1 に形成されたホール内のプラグ、絶縁層 1 1 上の第 2 金属層、第 3 の絶縁層 2 2 に形成されたホール内プラグからなる電源コンタクト 2 8 に接続されており、この電源コンタクト 2 8 が、第 3 の絶縁層 2 2 上にある第 3 金属層からなる遮光層 5 に接続されている。そして、この遮光膜 5 は電源電圧源 V D D に接続されることで、電源電圧が半導体領域 1 7 に与えられる。

【 0 0 7 6 】

ここでは、基板 2 4 及び各領域 1、1 3 - 1 7 を構成する半導体は N 型又は P 型であり、共通ウエル 4 及びドープ領域 2 を構成する半導体はこれらとは逆導電型である。各領域 1 3 ~ 1 7 を、不純物濃度の低い領域を含む L D D 構造にすることも好ましいものである。また、各ゲート電極 1 8、1 9、2 6、2 7 の表面や各領域 2、1 3 - 1 7 の表面には、コバルトシリサイドなどの金属シリサイドを形成してもよい。

【 0 0 7 7 】

ウエルコンタクト 3 や電源コンタクト 2 8 を構成するホール内プラグは、タングステン、アルミニウム、アルミニウム銅、銅などの金属（合金）から形成され、更にはプラグの上下の面或いは側面には窒化チタンなどのバリアメタルが形成されたものでもよい。各制御線、電圧線、ウエル配線、遮光層となる第 1 ないし 3 金属層もまた、アルミニウム、アルミニウム銅、銅などの金属（合金）から形成され、更にはそれらの層の、上下の面或いは側面には窒化チタンなどのバリアメタルが形成されたものでもよい。

【 0 0 7 8 】

(第 1 2 の実施の形態)

図 2 1 は本発明における第 1 2 の実施の形態による固体撮像装置の上面図である。ここでは、 2×2 画素分を取り上げて図示しているが、現実にはこれらの 4 画素が繰り返し 2 次元状に配列されている。本実施形態の特徴は、原色カラーフィルタを有する固体撮像装置や補色カラーフィルタを有する固体撮像装置のように、複数の色信号を得ることができるカラー固体撮像装置において、画素数が最も多い色画素にのみウエルコンタクトを設けた点にある。

【 0 0 7 9 】

3 1 はカラーフィルタの緑 (G) の着色層が配された G 画素、3 2 はカラーフィルタの青 (B) の着色層が配された B 画素、3 3 はカラーフィルタの赤 (R) の着色層が配された R 画素である。着色層は、遮光膜の受光窓上に、直接或いは透明な層を介して設けられる。ここでは、 2×2 画素配列の対角線にある G 画素 3 1 にのみ、ドープ領域 2 とウエルコンタクト 3 とが配置されている。B 画素 3 2 と R 画素 3 3 には、ドープ領域とウエルコンタクトは設けられておらず、フォトダイオードの半導体受光領域 1 の受光面積を、G 画素に比べて大きくして、感度を向上させている。一画素あたりの受光面積は G 画素が他の色の画素に比べて小さいが、G 画素の数は他の色の、画素の約 2 倍になるように配列される。同色の画素においては、一画素あたりの受光部面積は全て同じなので、画像処理において、各色信号レベルを調整すれば、ホワイトバランス等の制御は容易である。各色信号の出力信号は、図 1 6 のように列毎に交互に上下に振り分けて、出力してもよいし、図 1 7 のように上方 (又は下方) のみに出力してもよい。

【 0 0 8 0 】

(第 1 3 の実施の形態)

本実施形態は、図 1 7、1 8、1 9、2 0 に示したような構成の固体撮像装置の遮光膜上に、図 2 1 に示したような着色層の配置パターンを有するカラーフィルタを載せて構成したものである。ウエルコンタクト 2 は、図 1 8 に示すように全ての画素に形成されている。各画素の受光面積は全画素同一であっても、色毎に異なっている、あるいは、図 2 1 のようになっている、いずれでも構わな

い。それぞれの特徴を考慮して選択すればよい。受光面積は遮光膜の受光窓の面積で決めることができる。

【 0 0 8 1 】

また、画素配列エリアの周辺 P P に近い位置にある画素では、遮光膜に受光窓を設けずに、いわゆる、遮光画素（オプティカルブラック）として働かせることもできる。この場合も、色画素同様にウエルコンタクトを設けることにより、暗時の基準レベルを色画素と遮光画素の間でそろえることができる。

【 0 0 8 2 】

（第 1 4 の実施の形態）

カラー固体撮像装置において、R 画素又は B 画素にのみウエルコンタクトを設けても良い。

【 0 0 8 3 】

【発明の効果】

以上説明したように、本発明によれば、画素配列エリアの内部にウエルコンタクトを複数設けることにより、ウエル電位の分布を抑制でき、シェーディングを低減することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による固体撮像装置の模式的平面図である。

【図 2】

図 1 の A A' 線による模式的断面図である。

【図 3】

本発明に用いられる固体撮像装置の一画素の回路構成図である。

【図 4】

本発明に用いられる固体撮像装置の一画素の模式的断面図である。

【図 5】

本発明の第 2 の実施の形態による固体撮像装置の模式的平面図である。

【図 6】

図 5 の B B' 線による模式的断面図である。

【図 7】

本発明の第 3 の実施の形態による固体撮像装置の模式的平面図である。

【図 8】

本発明の第 4 の実施の形態による固体撮像装置の模式的平面図である。

【図 9】

図 8 の C C' 線による模式的断面図である。

【図 1 0】

本発明の第 5 の実施の形態による固体撮像装置の模式的平面図である。

【図 1 1】

本発明の第 6 の実施の形態による固体撮像装置の模式的平面図である。

【図 1 2】

本発明の第 7 の実施の形態による固体撮像装置の模式的平面図である。

【図 1 3】

本発明の第 8 の実施の形態による固体撮像装置の模式的平面図である。

【図 1 4】

本発明の第 9 の実施の形態による固体撮像装置の模式的平面図である。

【図 1 5】

第 9 の実施の形態による固体撮像装置の動作を説明するための模式的断面図である。

【図 1 6】

本発明の第 1 0 の実施の形態による固体撮像装置の模式的平面図である。

【図 1 7】

本発明の第 1 1 の実施の形態による固体撮像装置の回路構成図である。

【図 1 8】

第 1 1 の実施の形態による固体撮像装置の回路配置図である。

【図 1 9】

図 1 7 の D D' 線による模式的断面図である。

【図 2 0】

図 1 7 の E E' 線による模式的断面図である。

【図 2 1】

本発明の第 1 2 の実施の形態による固体撮像装置の模式的上面図である。

【図 2 2】

従来の固体撮像装置の回路構成図である。

【図 2 3】

従来の同じく、要部を示す模式的断面図である。

【図 2 4】

従来の固体撮像装置の動作を説明するためのタイミングチャートである。

【図 2 5】

固体撮像装置のウエル電位の変化を示すグラフである。

【図 2 6】

シェーディングを説明するためのグラフである。

【図 2 7】

時定数の変化を説明するためのグラフである。

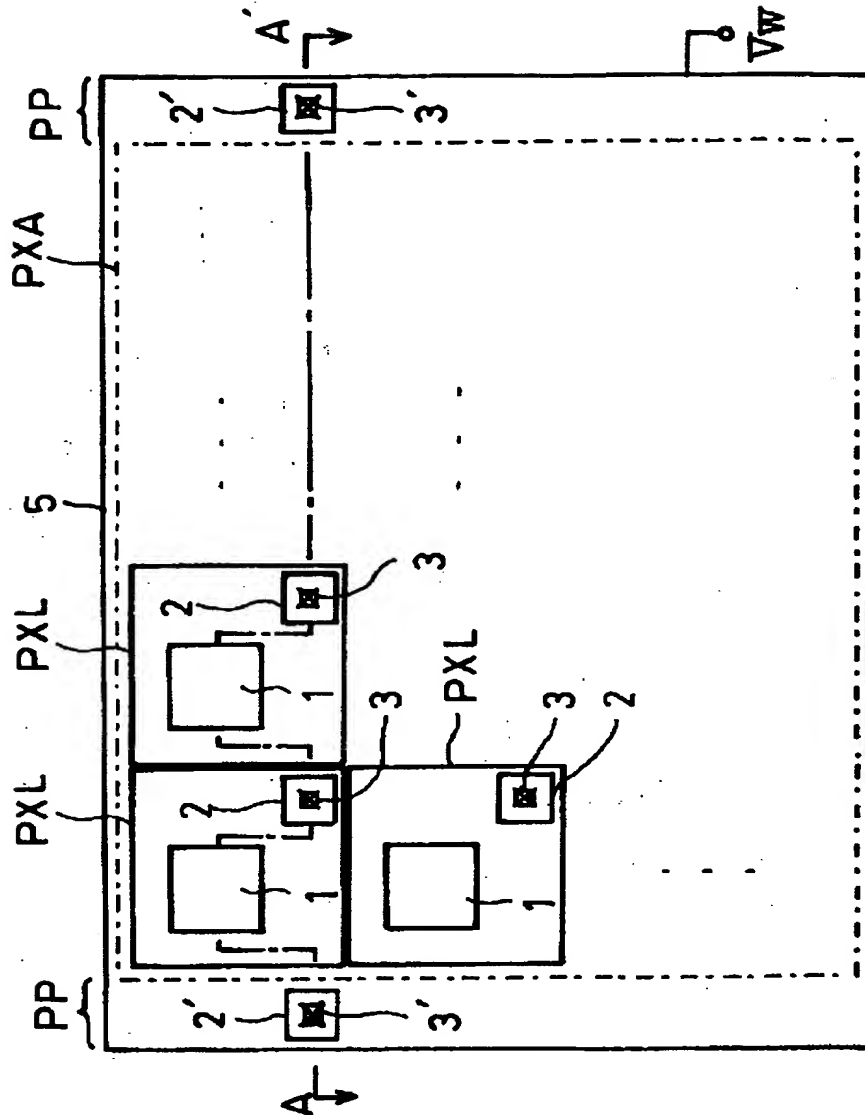
【符号の説明】

- 1 フォトダイオード（半導体領域）
- 2、2' ドープ領域
- 3、3' ウエルコンタクト
- 4 共通ウエル
- 5、6 ウエル配線
- 5' 遮光膜
- 7 垂直出力線
- 8、9 制御線
- 10 絶縁層
- 11 絶縁層
- 12 素子分離領域
- 13～17 半導体領域
- 18、19 ゲート電極
- 20 選択制御線

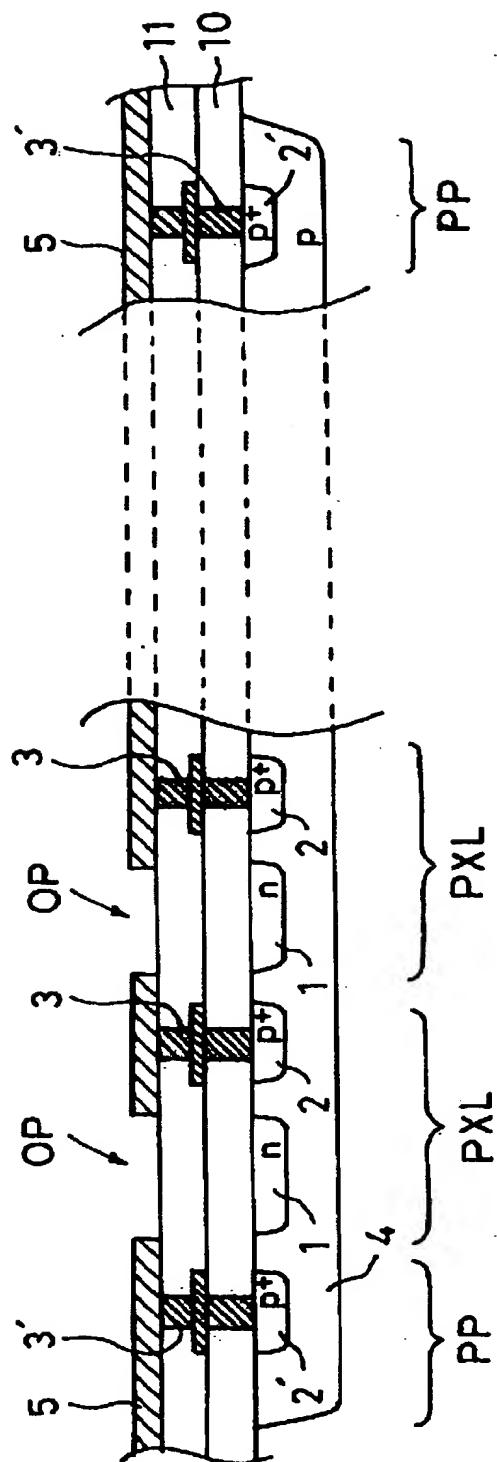
- 2 1 配線
- 2 2 絶縁層
- 2 3 リセット電圧線
- 2 4 基板
- 2 6 転送ゲート（ゲート電極）
- 2 7 リセットゲート（ゲート電極）
- 2 8 電源コンタクト
- 3 1 G画素
- 3 2 B画素
- 3 3 R画素
- 1 0 1 フォトダイオード
- 1 0 2 転送スイッチ
- 1 0 3 リセット用トランジスタ
- 1 0 4 選択用トランジスタ
- 1 0 5 増幅用トランジスタ

【書類名】 図面

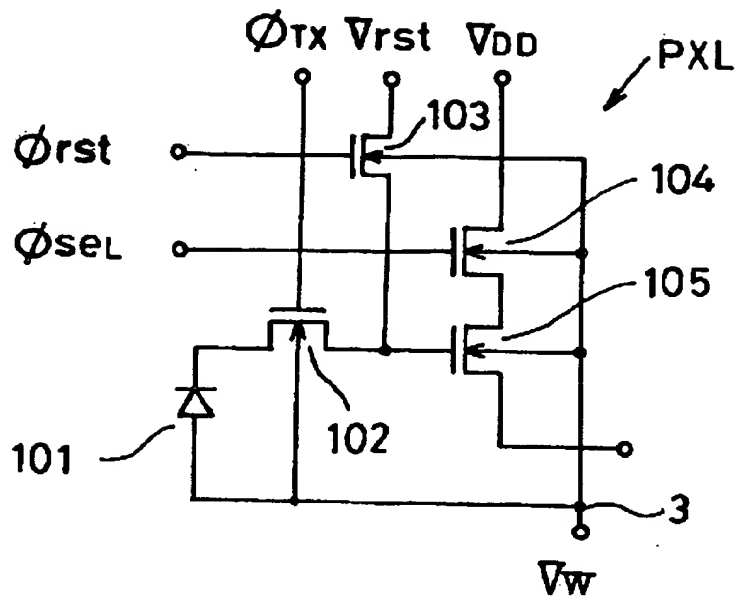
【図 1】



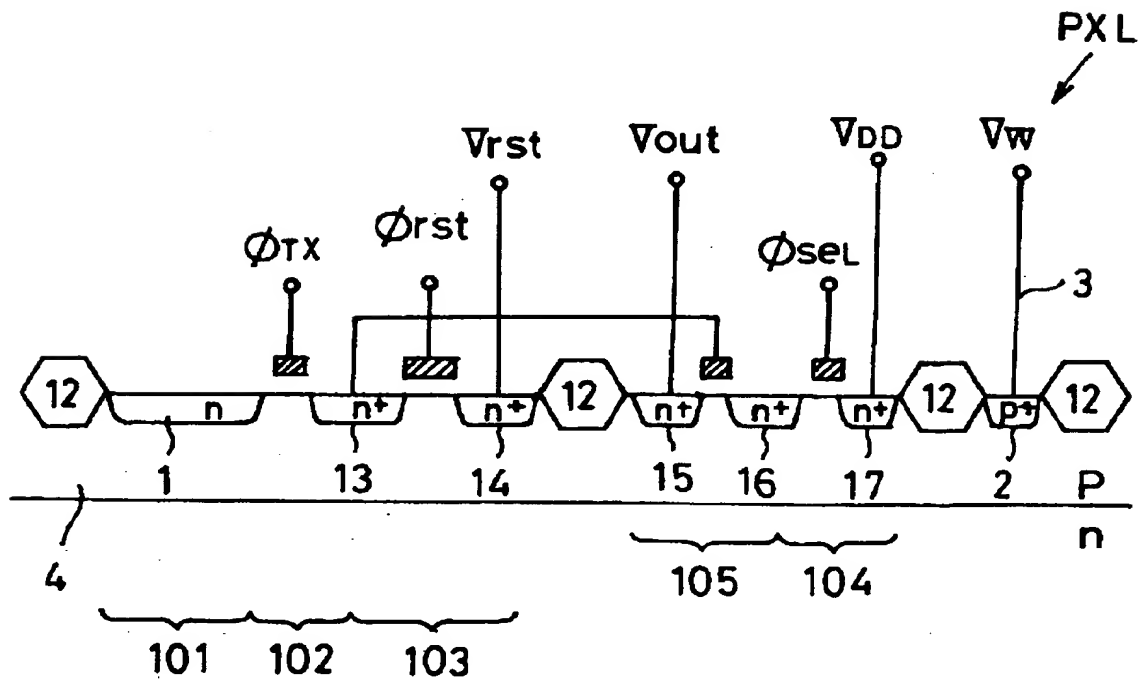
【図 2】



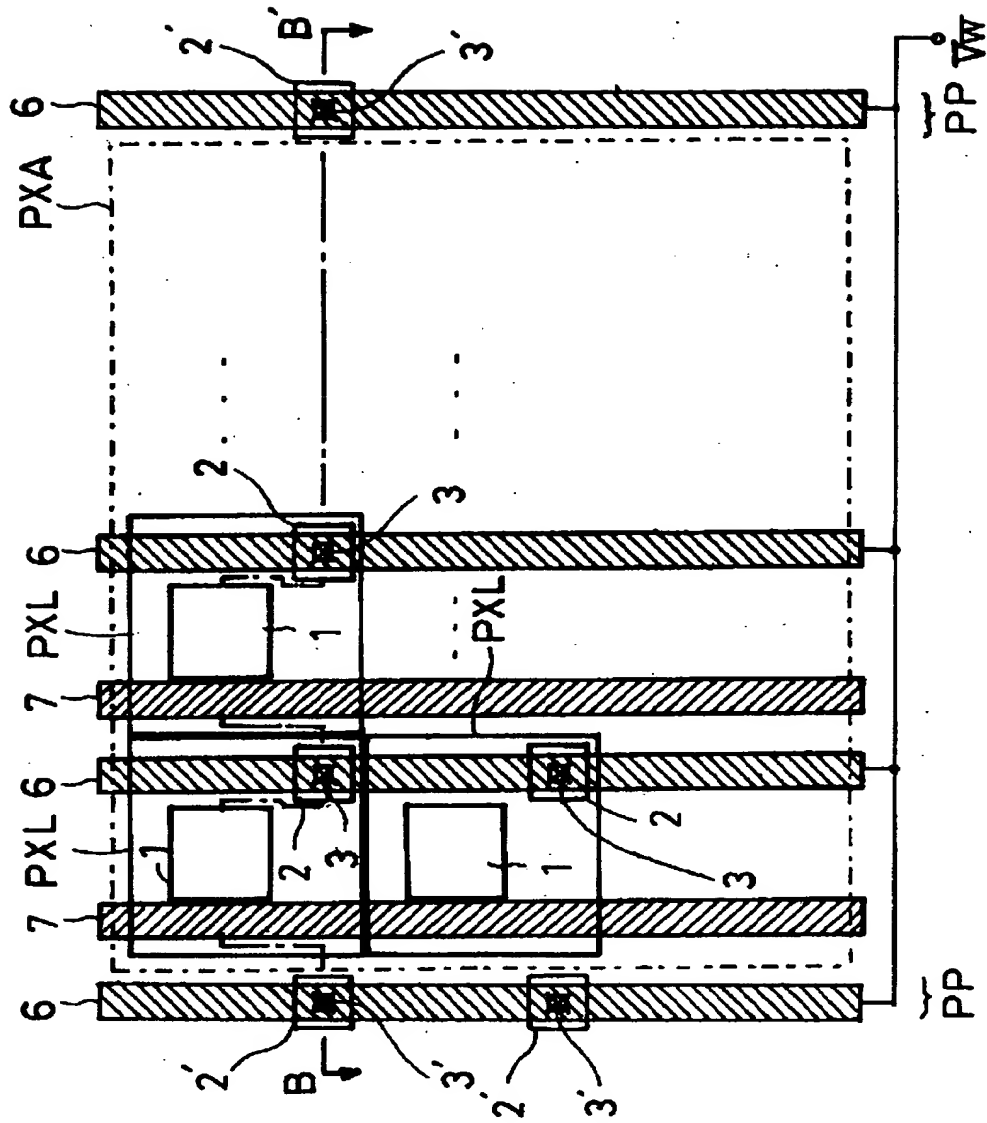
【図3】



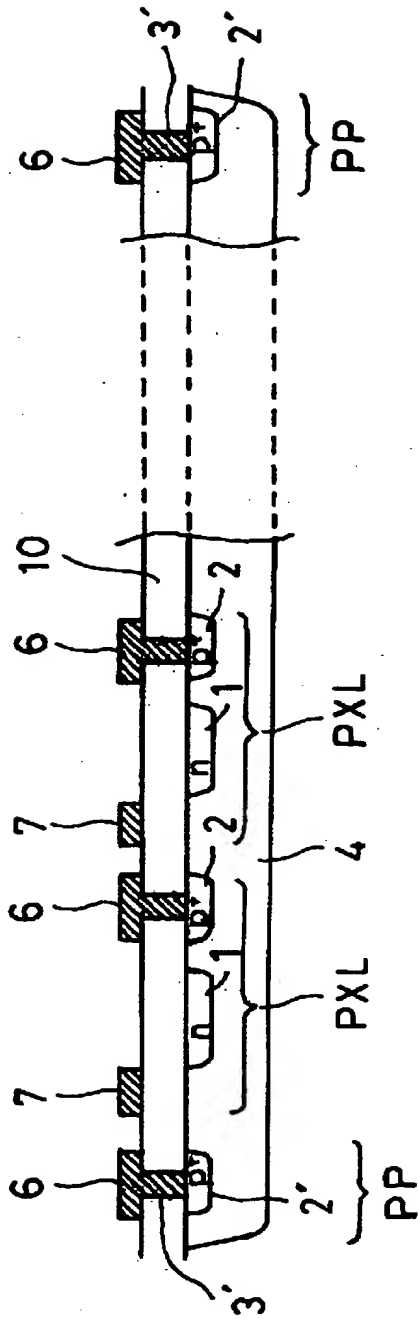
【図4】



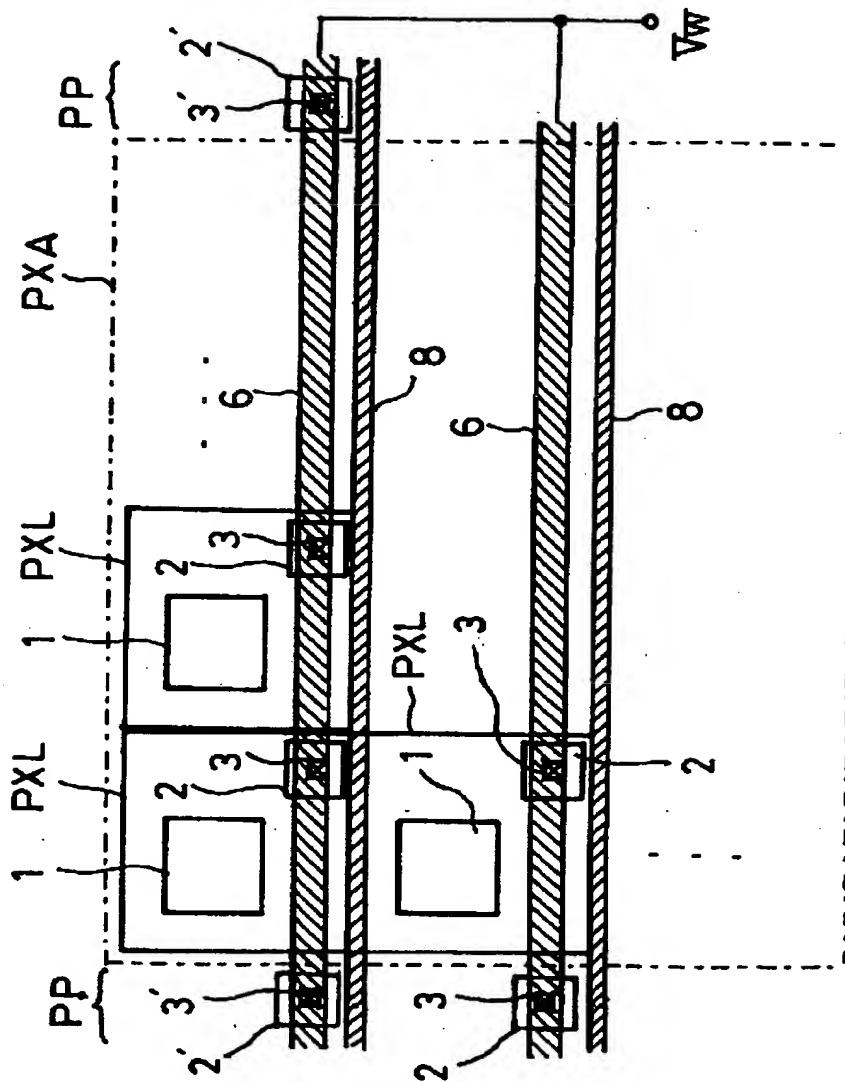
【図 5】



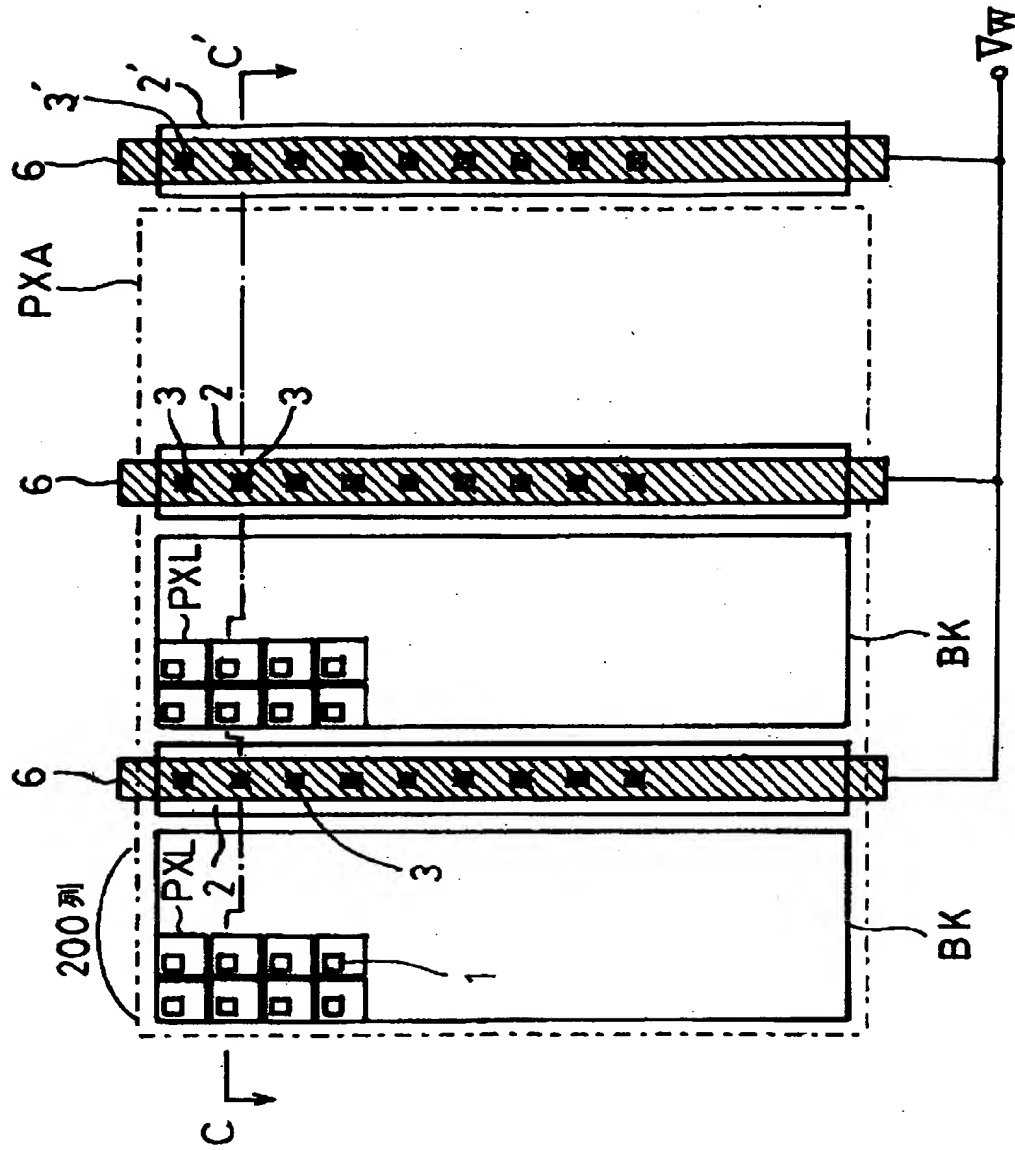
【図 6】



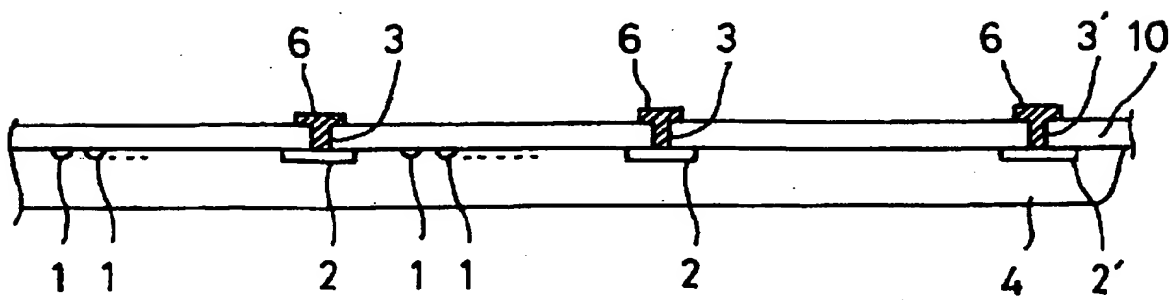
【図 7】



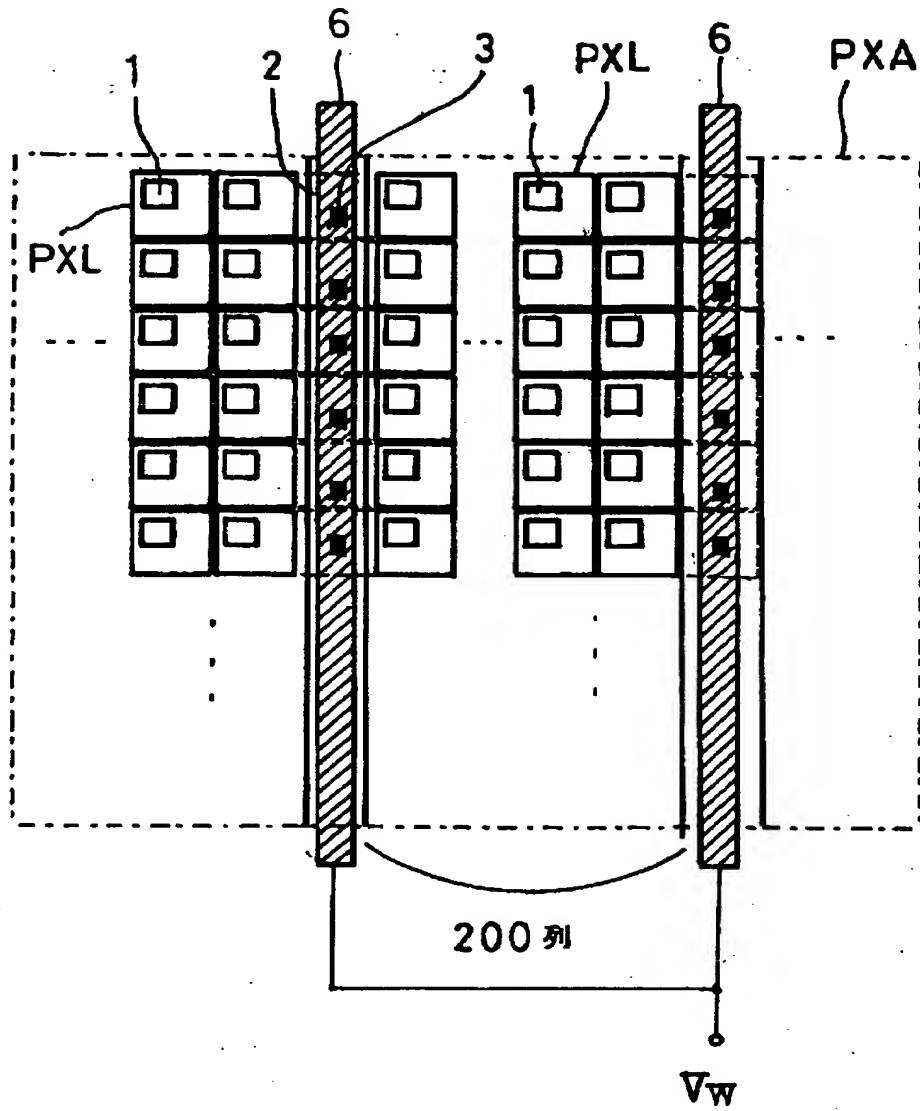
【図 8】



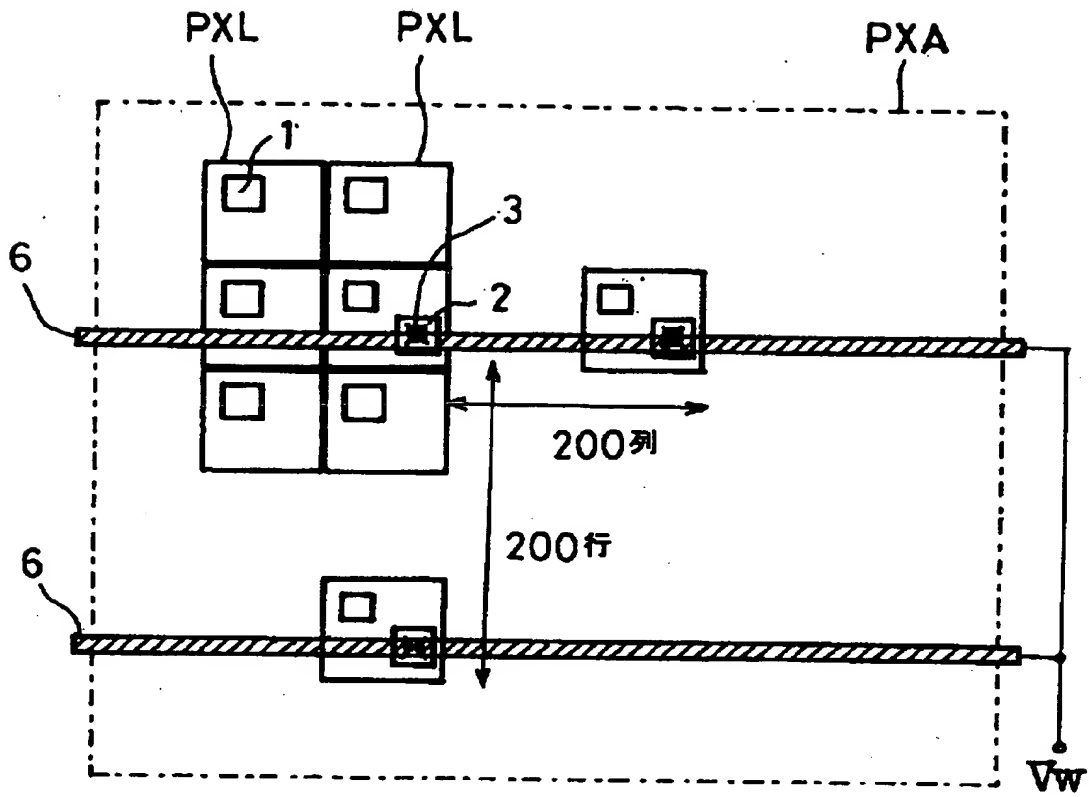
【図 9】



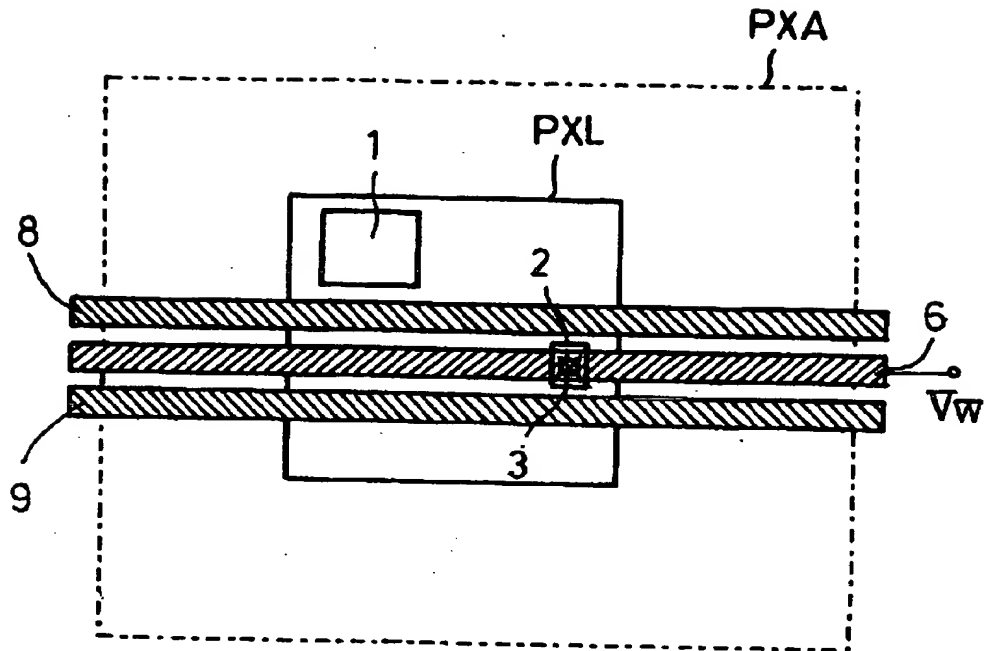
【図 1 0】



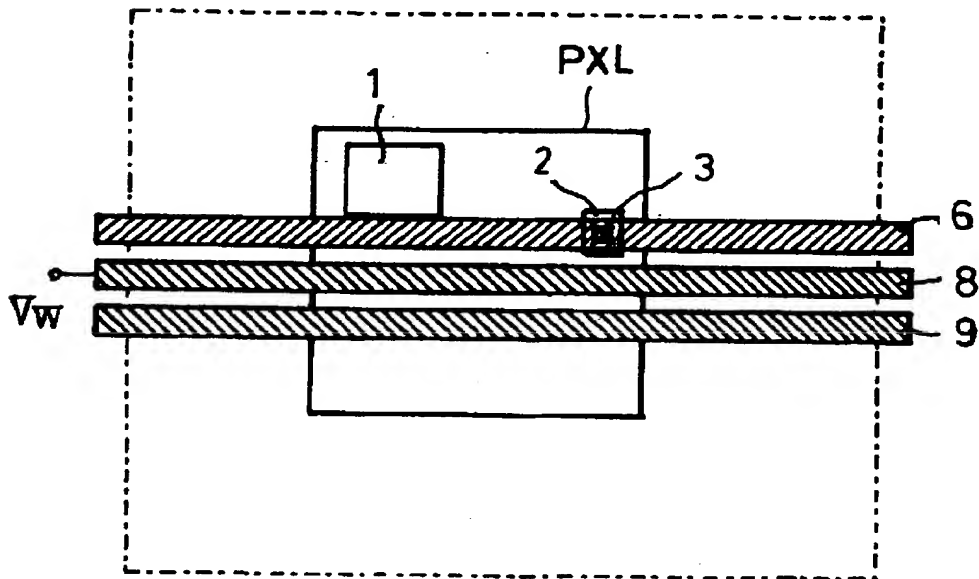
【図 1 1】



【図 1 3】

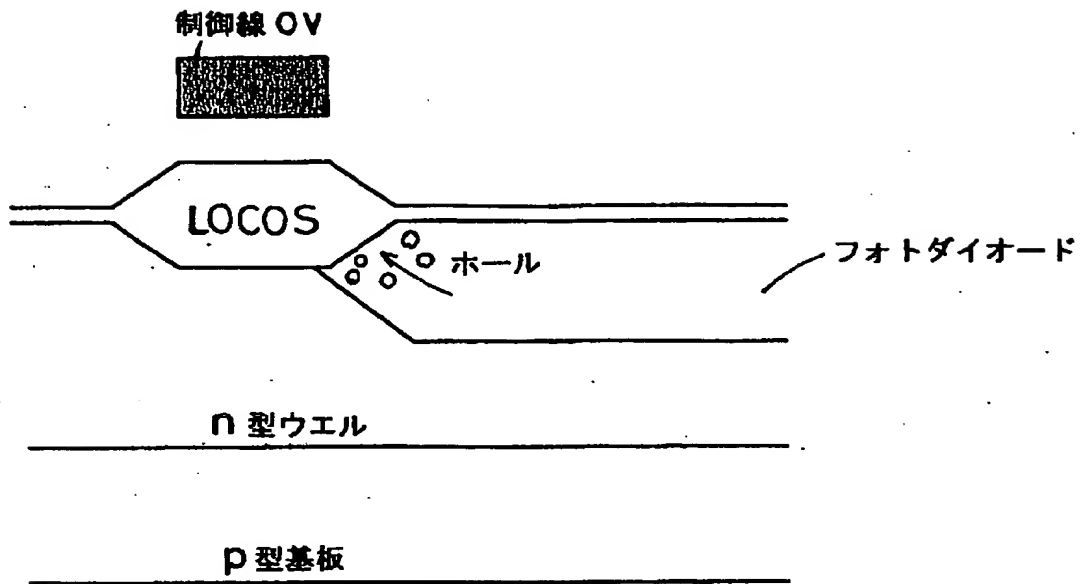


【図 1 4】

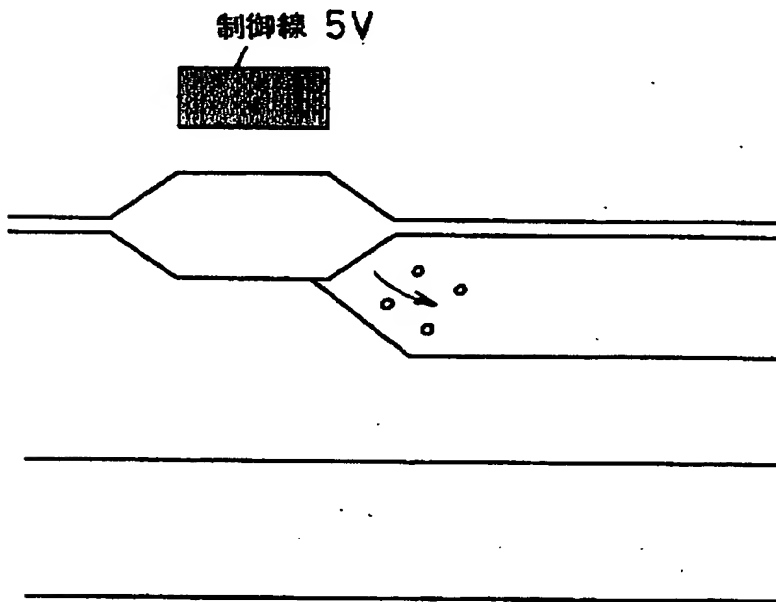


【図 1 5】

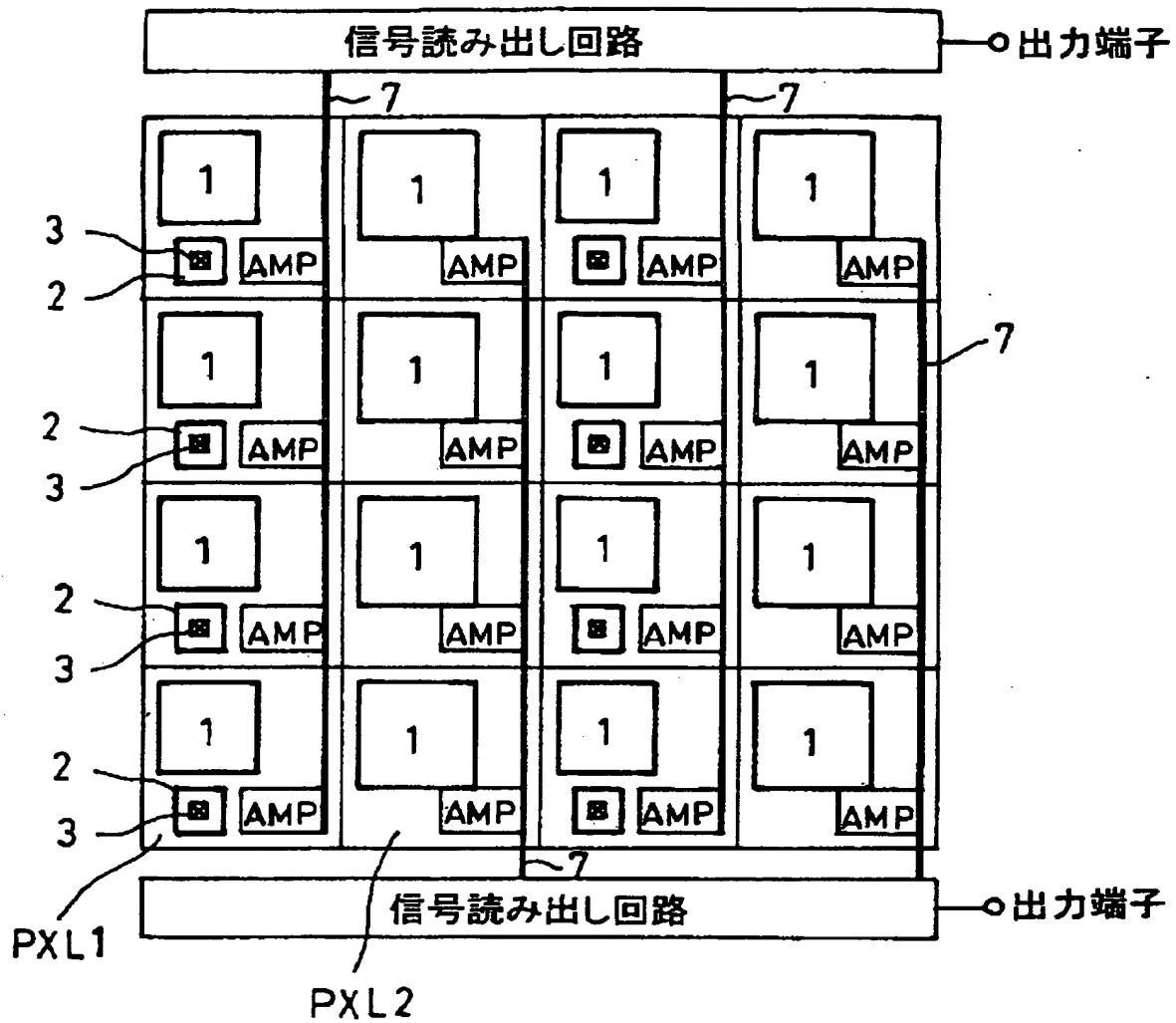
(a)



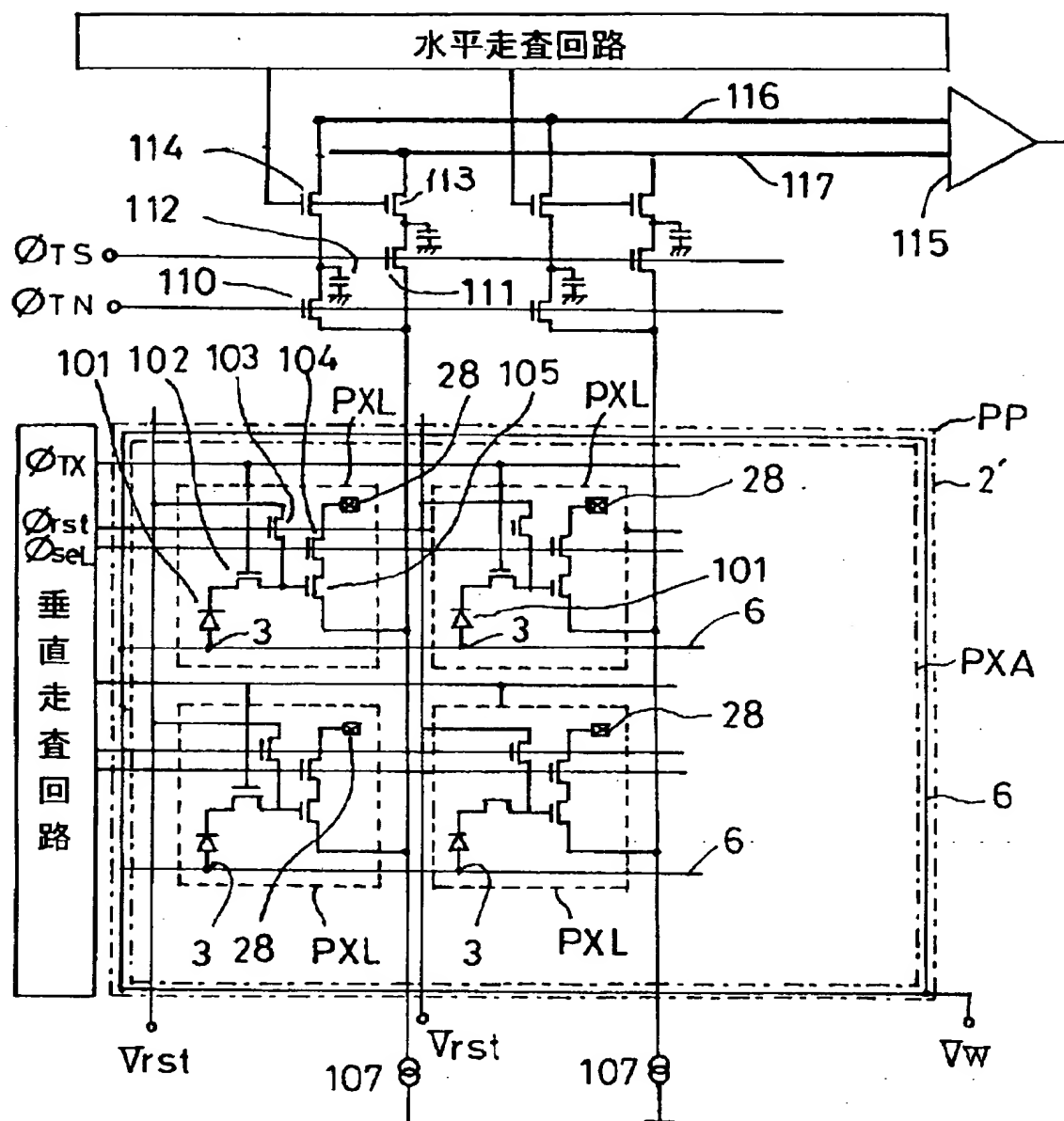
(b)



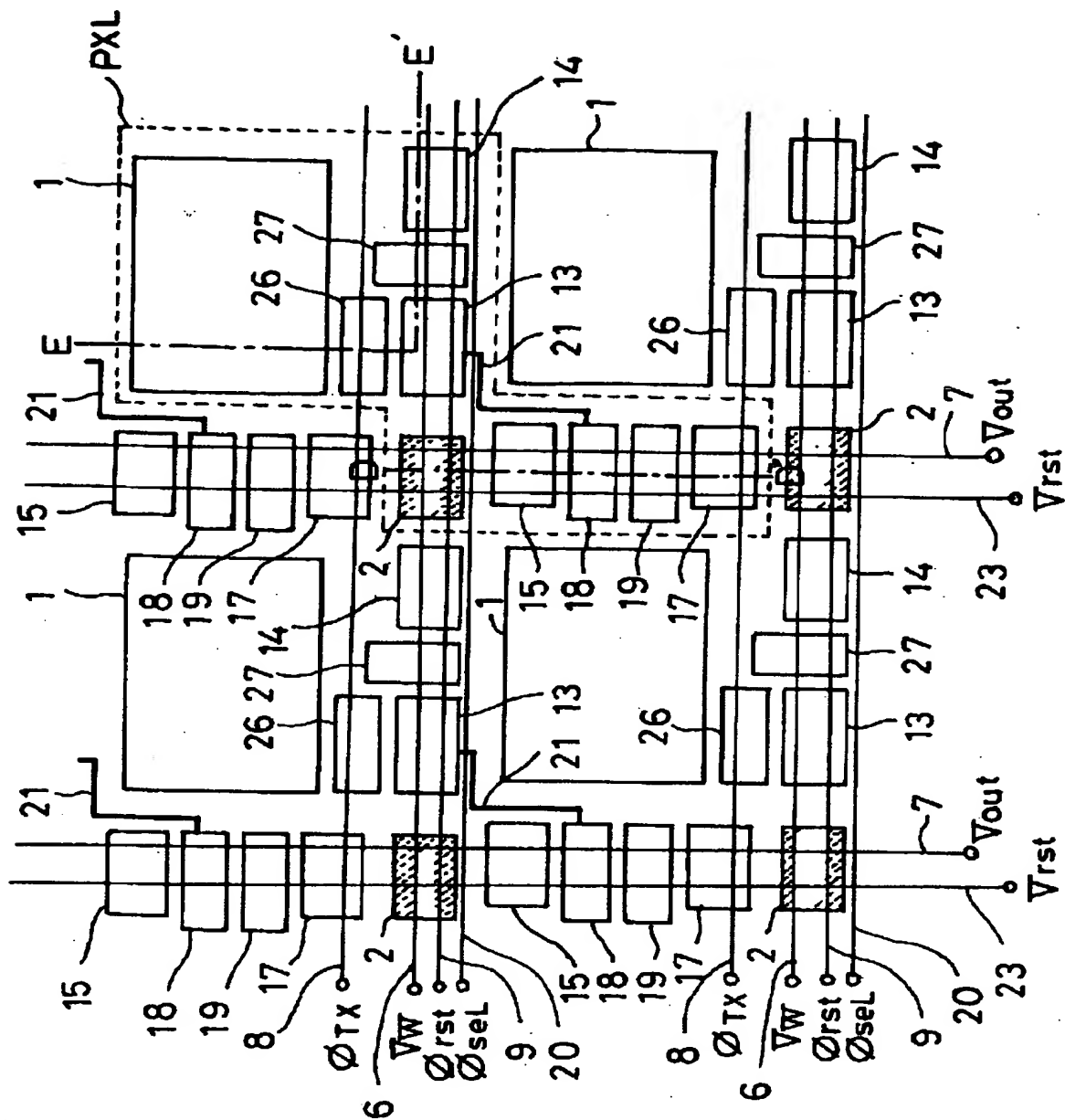
【図16】



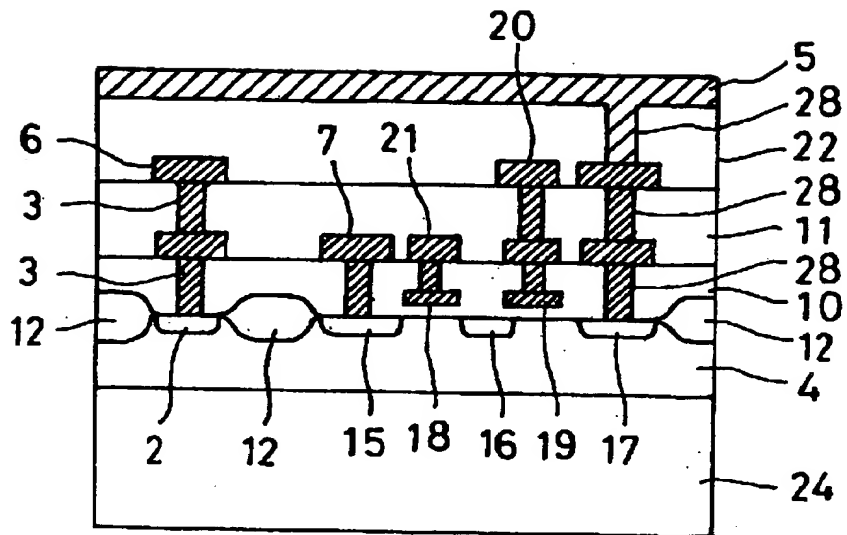
【図 17】



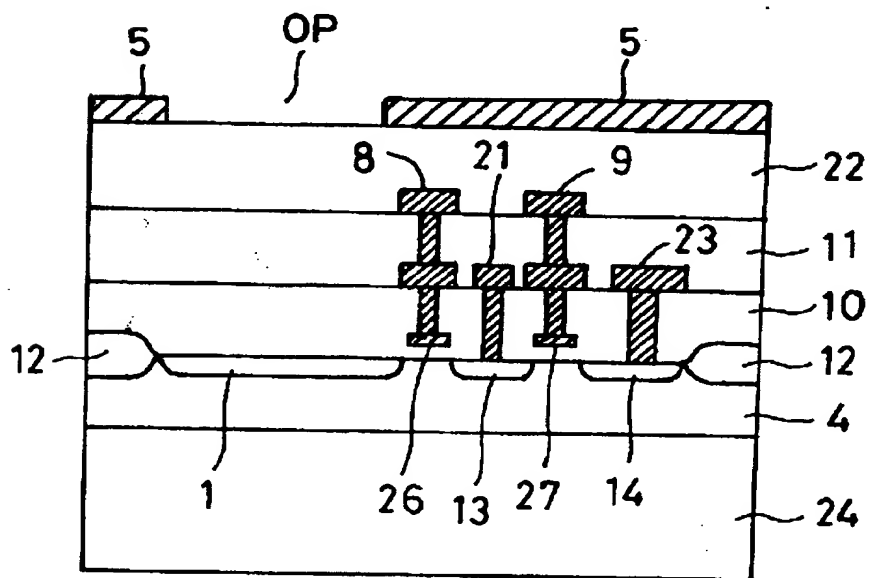
【図18】



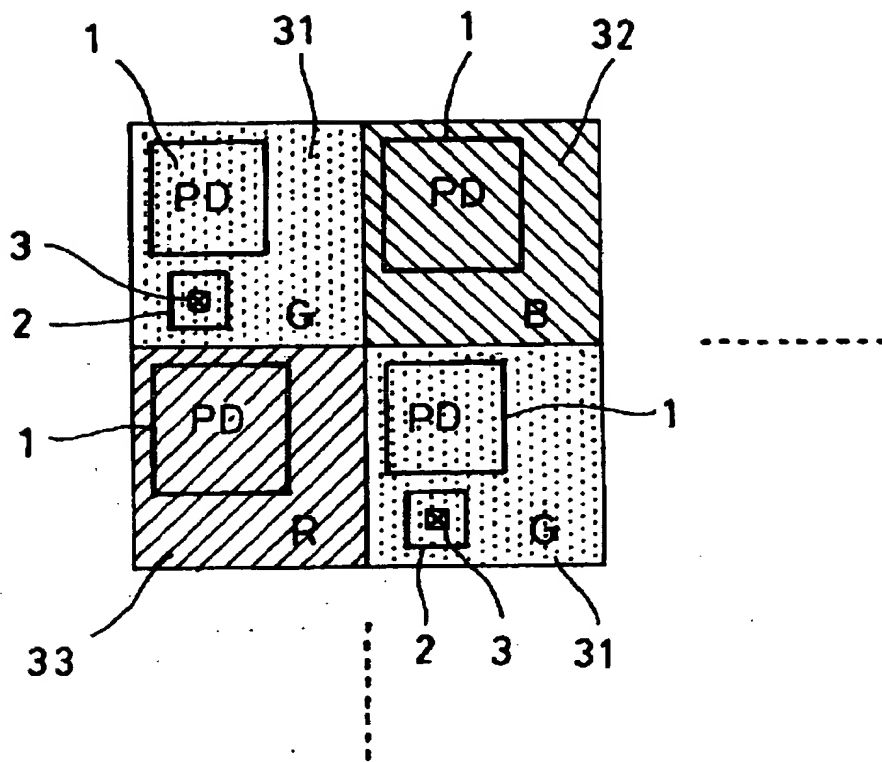
【図 19】



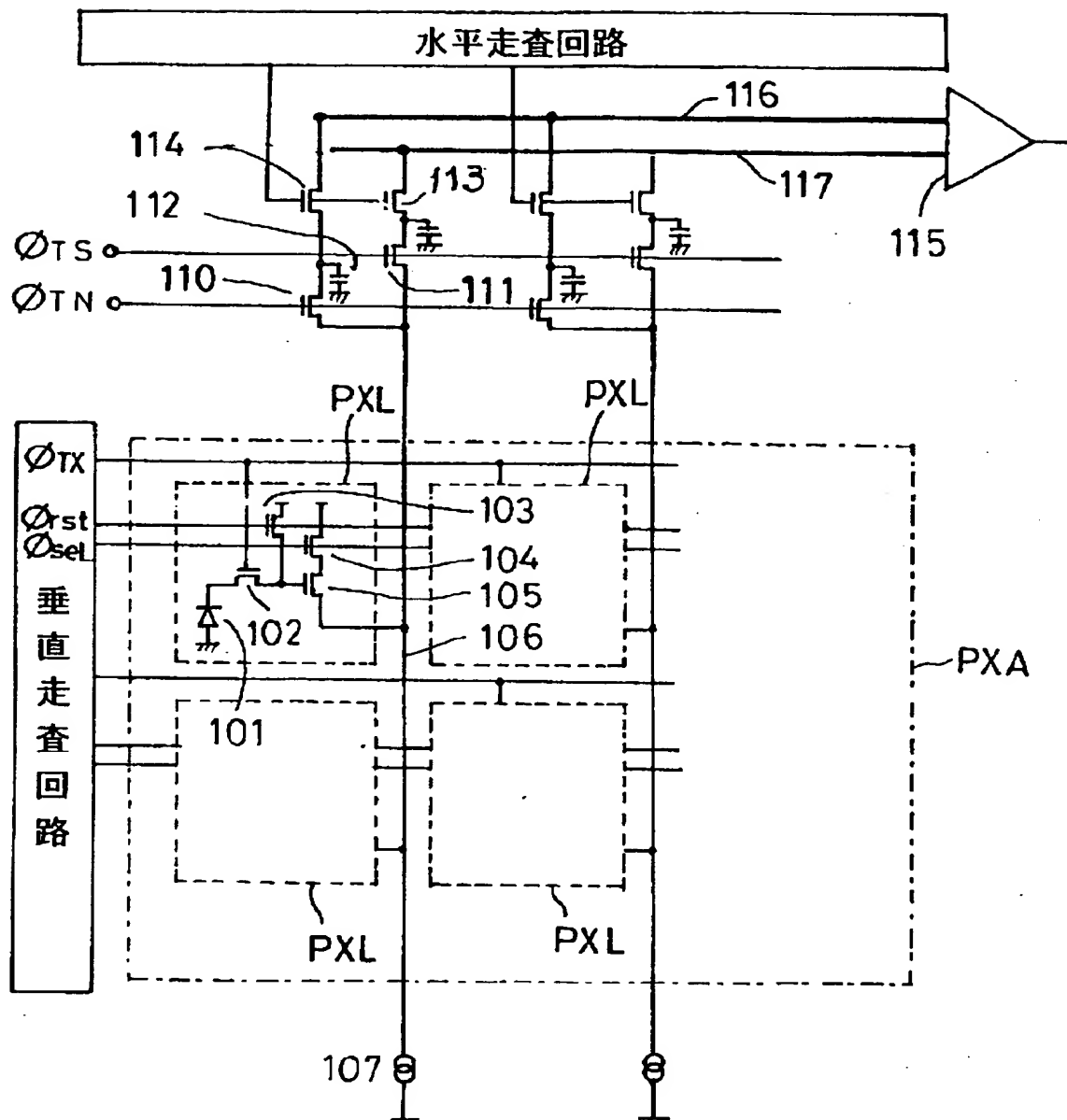
【図 20】



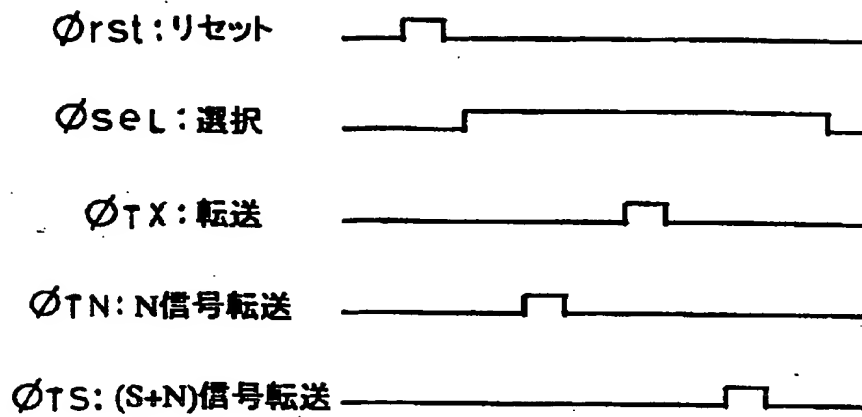
【図 2 1】



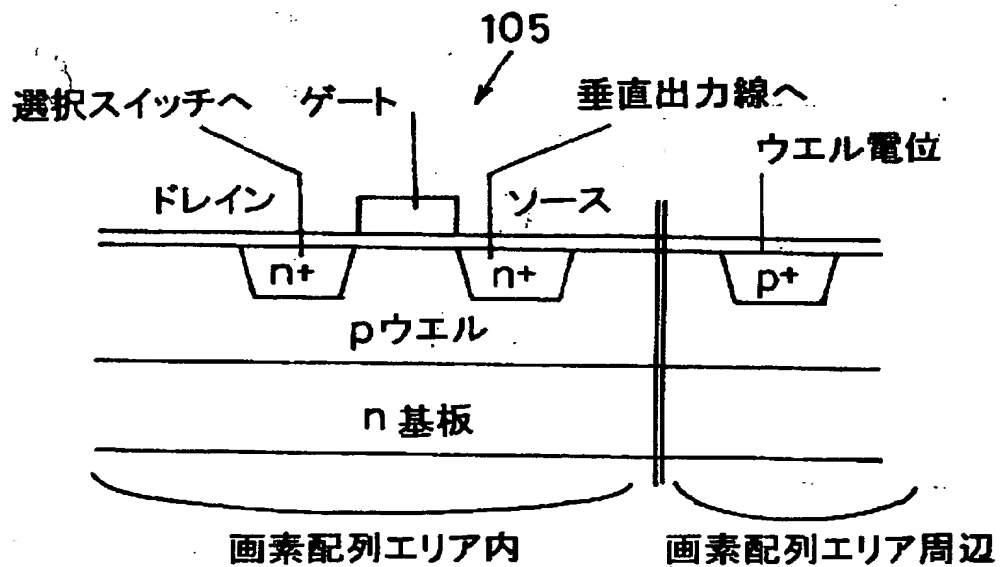
【図 22】



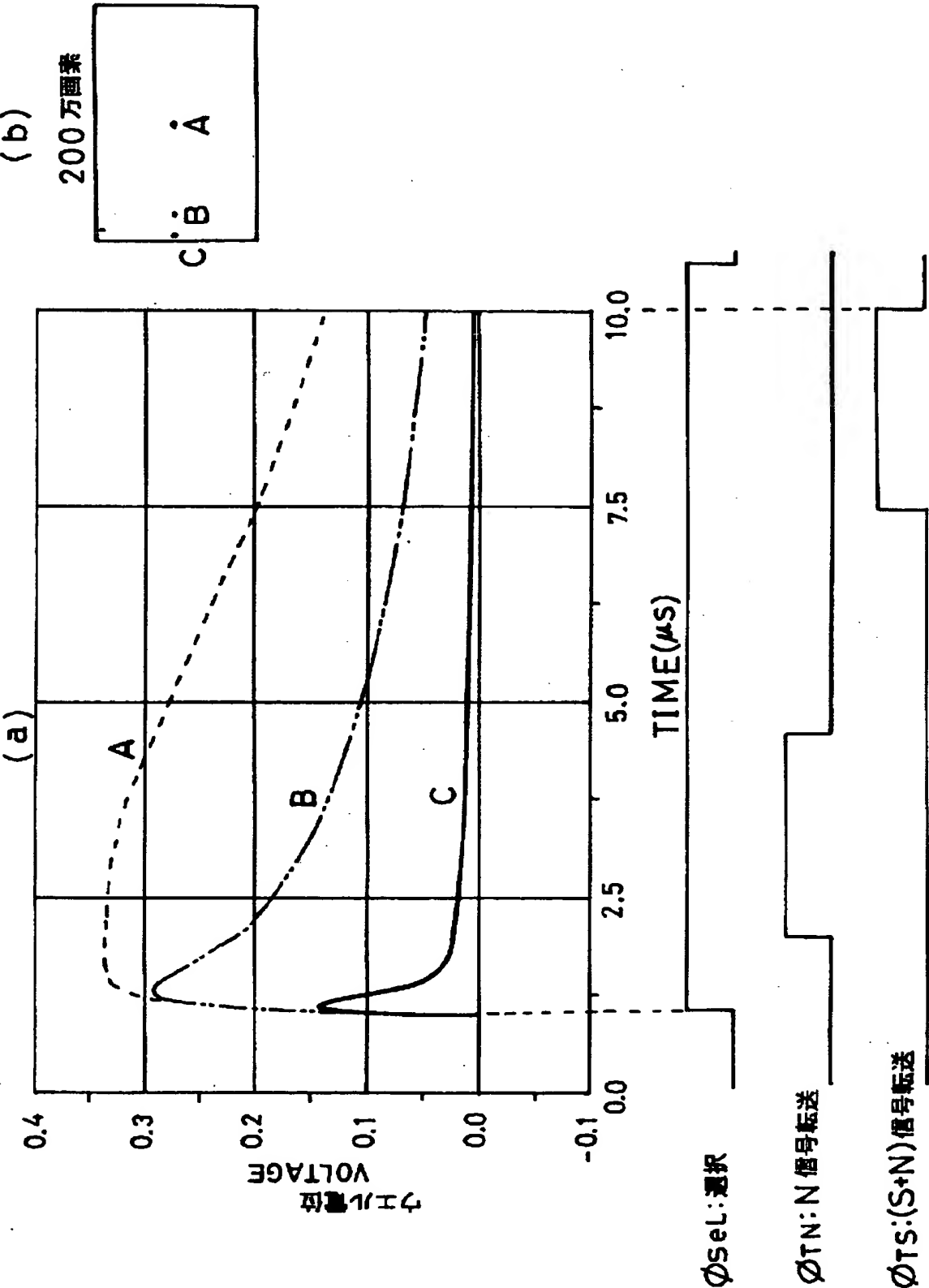
【図 2 3】



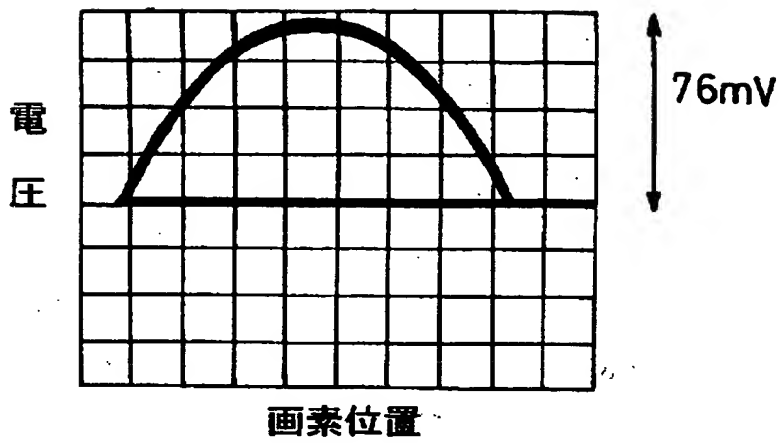
【図 2 4】



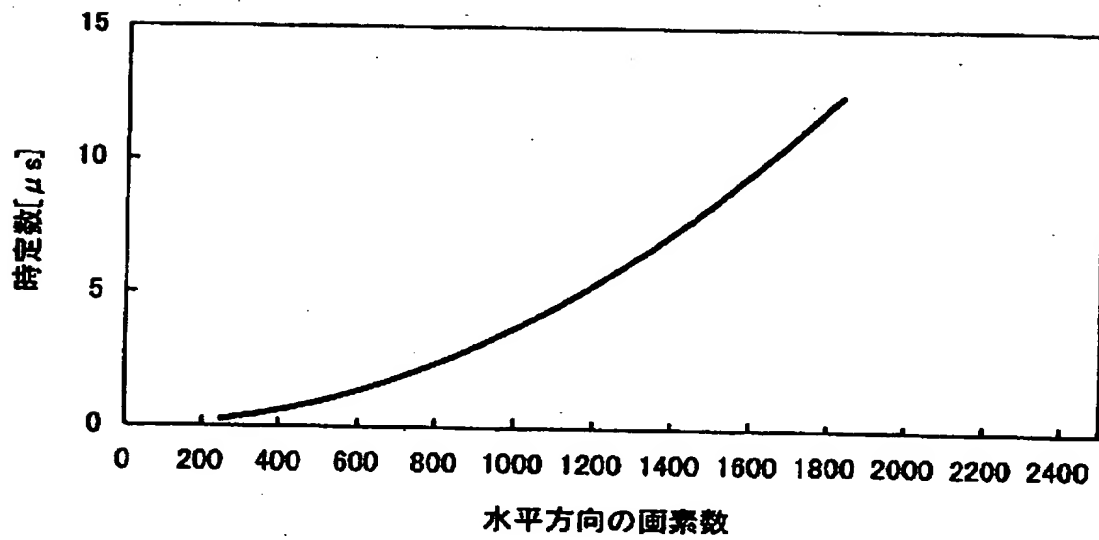
【図 2 5】



【図 2 6】



【図 2 7】



【書類名】 要約書

【要約】

【課題】 増幅型固体撮像装置において、画素領域のウエル電位の分布によるシェーディングを低減する。

【解決手段】 増幅型固体撮像装置の画素領域のウエル電位を与えるためのウエルコンタクトおよびウエル配線を画素領域内に設ける。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 3 6 5 5 5 2
受付番号	5 0 0 0 1 5 4 7 3 3 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 2 年 1 2 月 5 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子 3 丁目 3 0 番 2 号
【氏名又は名称】	キャノン株式会社

【代理人】

申請人	
【識別番号】	100065385
【住所又は居所】	東京都港区虎ノ門五丁目 1 3 番 1 号 虎ノ門 4 0 森ビル 山下国際特許事務所
【氏名又は名称】	山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社